

【目 次】	頁
1 デバイスサマリー(表1)(エグゼクティブサマリー).....	3
1-1 解析結果まとめ	4
表2: パッケージ構造概要	5
表3: デバイス構造: SiC MOSFET.....	6
表4: デバイス構造: レイヤー材料・膜厚	7
2 パッケージ外観解析.....	8
2-1 外観・X線観察	9
3 SiC MOSFET解析	10
3-1 平面観察	11
チップコーナー及び周辺メタル配線	12-20
3-2 平面構造解析(SEM)	21
チップコーナー及び周辺ガードリング構成	22-24
トランジスタセルアレイ	25-28
3-3 断面構造解析(SEM)	29
チップ膜厚	30
トランジスタセルアレイ: ゲート及びソース・Pwell拡散.....	31-36
チップ周辺、チップ端構成	37-38
4 パッケージ解析.....	39
4-1 パッケージ解析による構造解析.....	40-50
4-2 EDX材料分析	51-73

1. デバイスサマリー

Microsemi
APT80SM120B

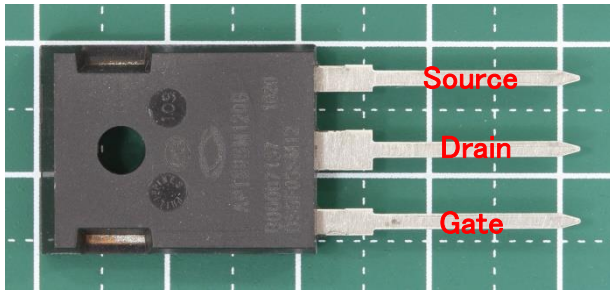
表1： デバイスサマリー

品種	SiC MOSFET Discrete		
メーカー	Microsemi		
型番	APT80SM120B		
パッケージ	TO-247		
パッケージマーキング	A		
チップ構成	ト		
チップサイズ	5		
SiC MOSFET チップ製造プロセス	Si プ		ス ール
SiC MOSFET メタル配線	チ チ		3.0μm
特徴	・ラ （ ー ・糸 ・（ （ 、 ・ラ を ・タ ノ ードバンド。		MF1012D、 FET技術 umである。 xmm2 ン形成 ソース 以上の
応用	PVインバータ、コンバータ 産業用モータドライブ H/EVパワートレイン及びEV充電器 スマートグリッドの送信及び配給		

1.1. 解析結果まとめ

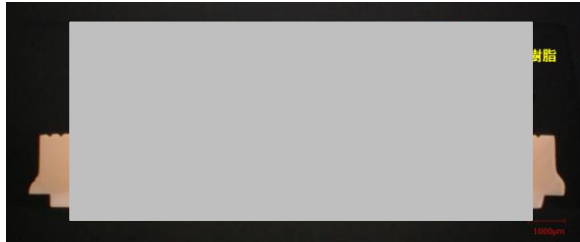
Microsemi
APT80SM120B

パッケージ外観



TO-247 パッケージ

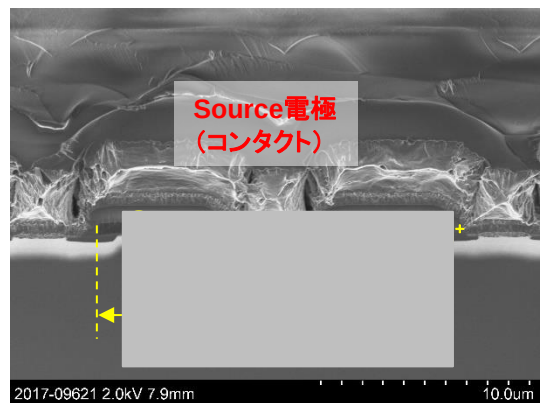
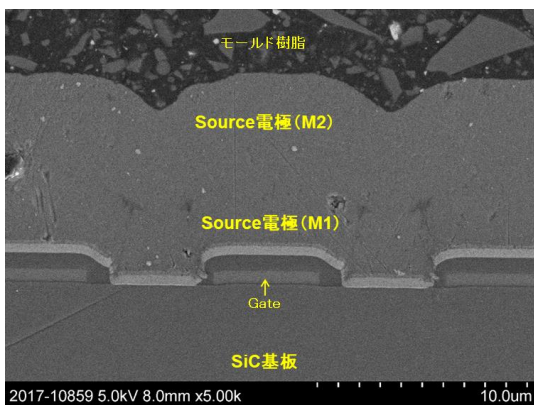
チップ外観



Alワイヤ接続状態のSiCチップ

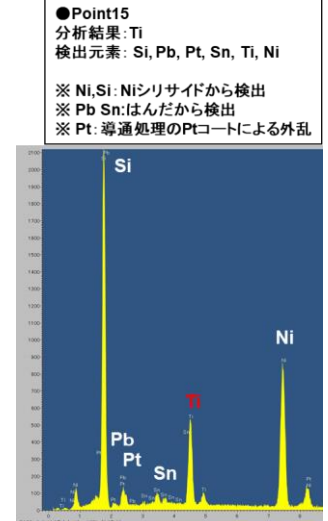
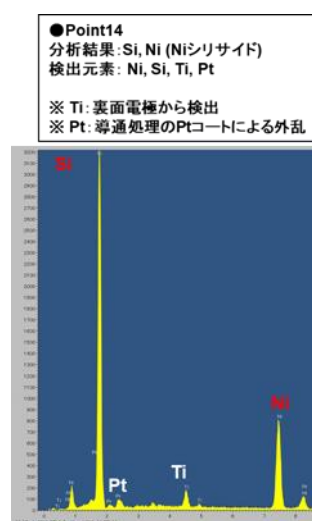
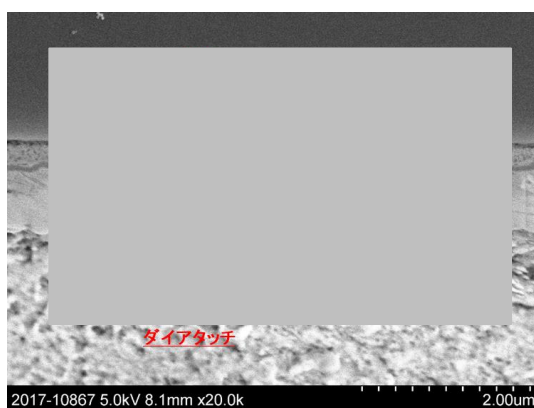
- ・SiCウェハ
- ・プレーナ型ゲート、デュアルレイヤメタルプロセス
- ・チップ上面： Padメタル (M2) : 5.3um、ソースメタル (M1) : 3.0um
- ・チップ裏面： NiSi/Ti

断面構造解析



SiC MOSFET素子部の 断面SEM像

EDX分析(裏面電極)



SiC MOSFET 裏面電極部のEDX分析結果

表 2: 実装パッケージ構造概要

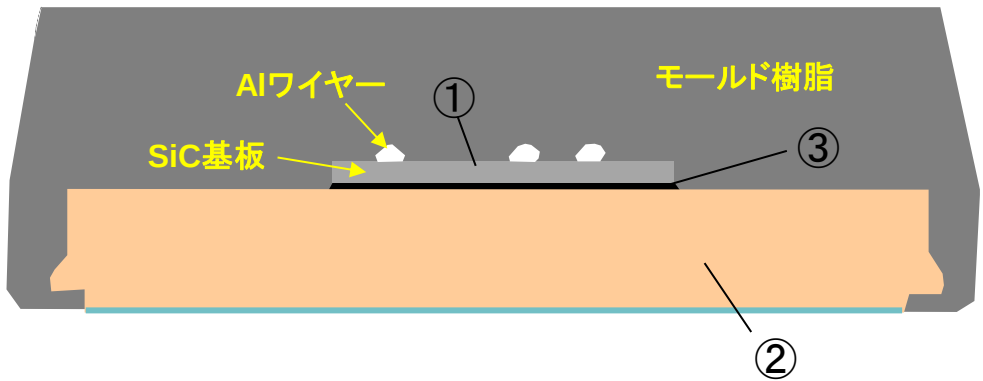


表 6: 実装パッケージ

	プロパティ
パッケージ	TO-247 .
最大動作温度	
半導体チップ (MOS) ①	
パッケージダイパッド ②	
ダイアタッチ ③	
熱マネジメント	

C/W

SiC

基板とダイアタッチを通過してパッケージダイパッドまで。

2. パッケージ外観解析

2-1. 外観・X線観察

2. パッケージ外観解析

2-1. 外観・X線観察

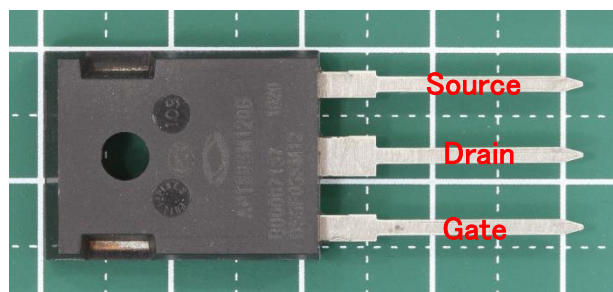
Microsemi
APT80SM120B

Fig.2-1-1 パッケージ外観(表面)

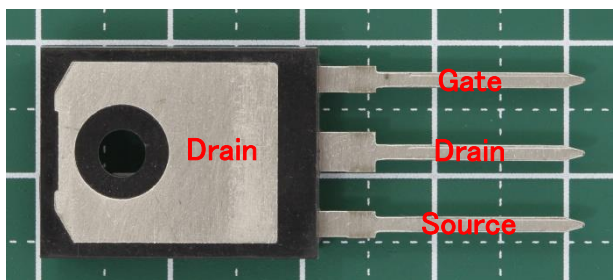


Fig.2-1-2 パッケージ外観(裏面)

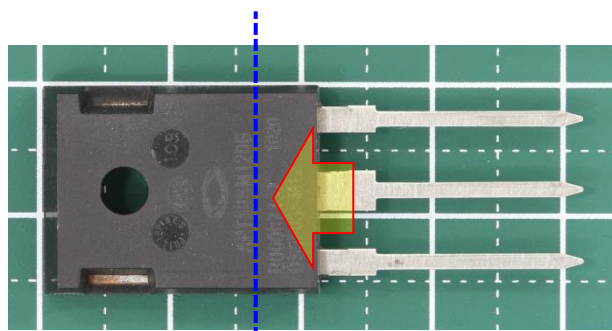


Fig. 2-1-5 パッケージ断面観察ポイント

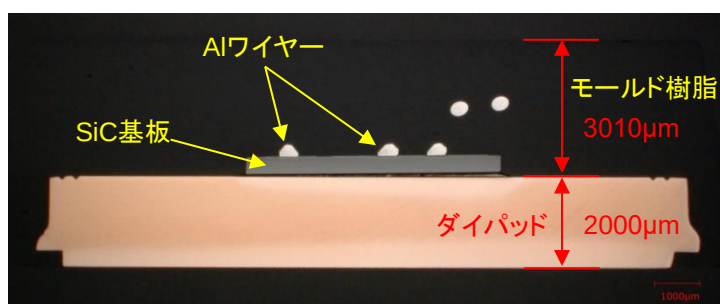


Fig. 2-1-6 パッケージ断面 OM像



Fig. 2-1-7 チップ部拡大 断面OM像

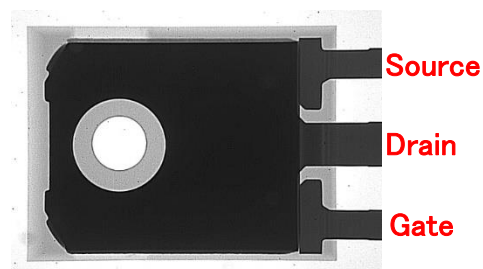


Fig.2-1-3 X線像(平面)

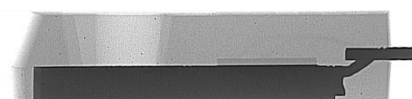


Fig.2-1-4 X線像(側面)

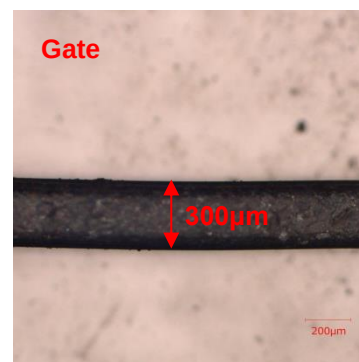
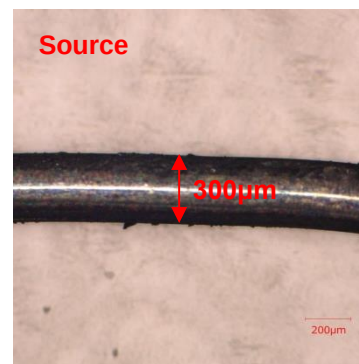
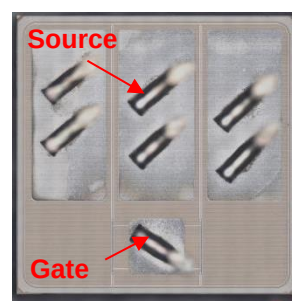


Fig.2-1-8 Alワイヤ

3. SiC MOSFET解析

3-1. 平面観察

3.SiC MOSFET解析

3-1. 平面観察

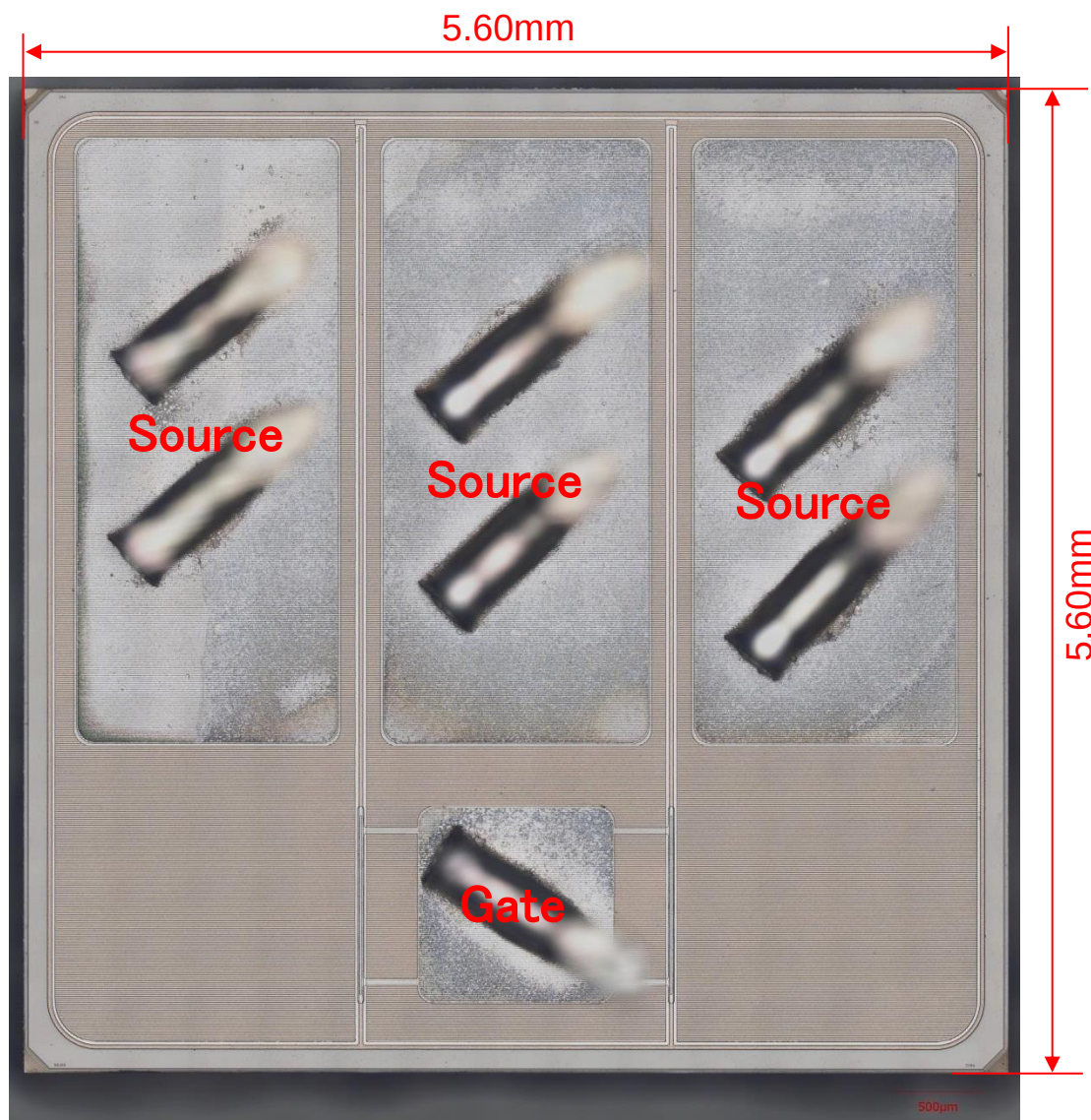
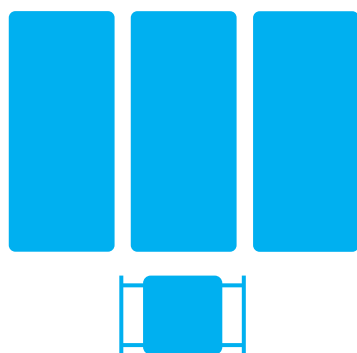
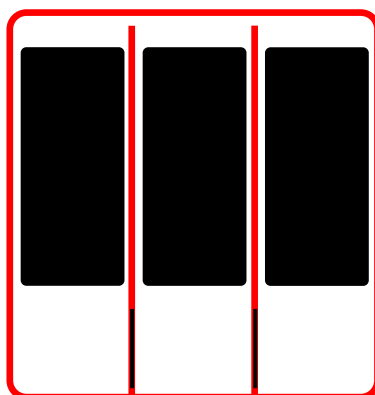
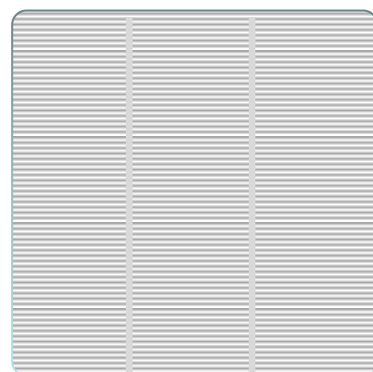
5.60 mm x 5.60 mm = 31.36 mm²Microsemi
APT80SM120B

Fig. 3-1-1 チップ全体写真(ポリイミド保護膜除去)



M2レイアウト

M1レイアウト(赤)
M2-M1接続箇所(黒)

Gate Polyレイアウト

Top Metal・パッシベーション膜付き(ポリイミド保護膜除去)

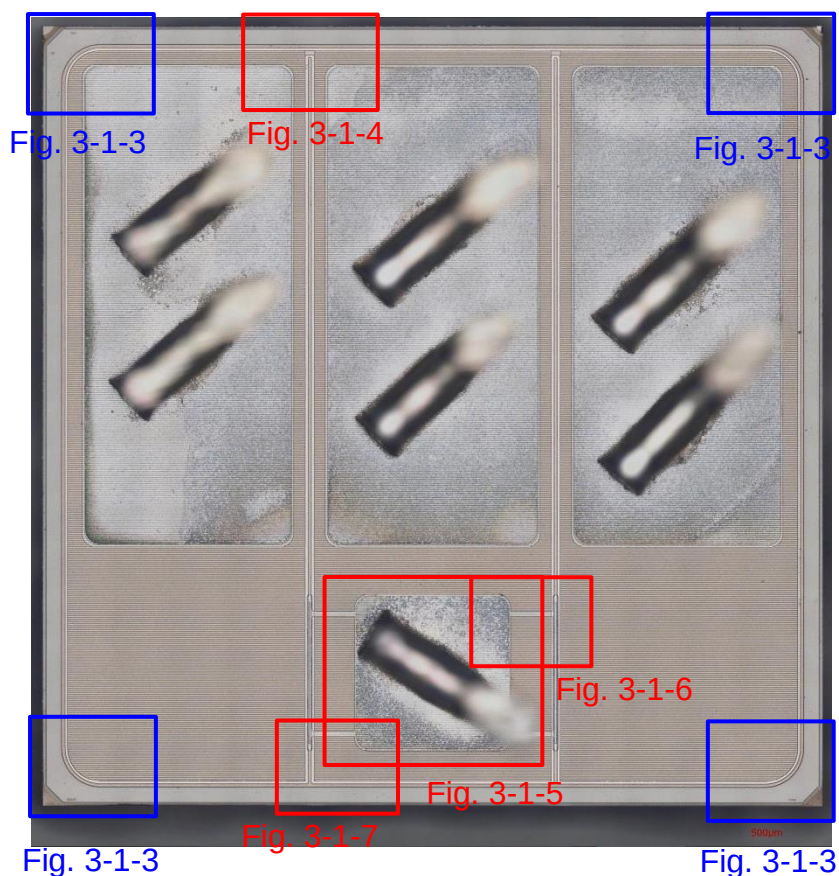


Fig. 3-1-2 チップ全体写真(Top Meatal)

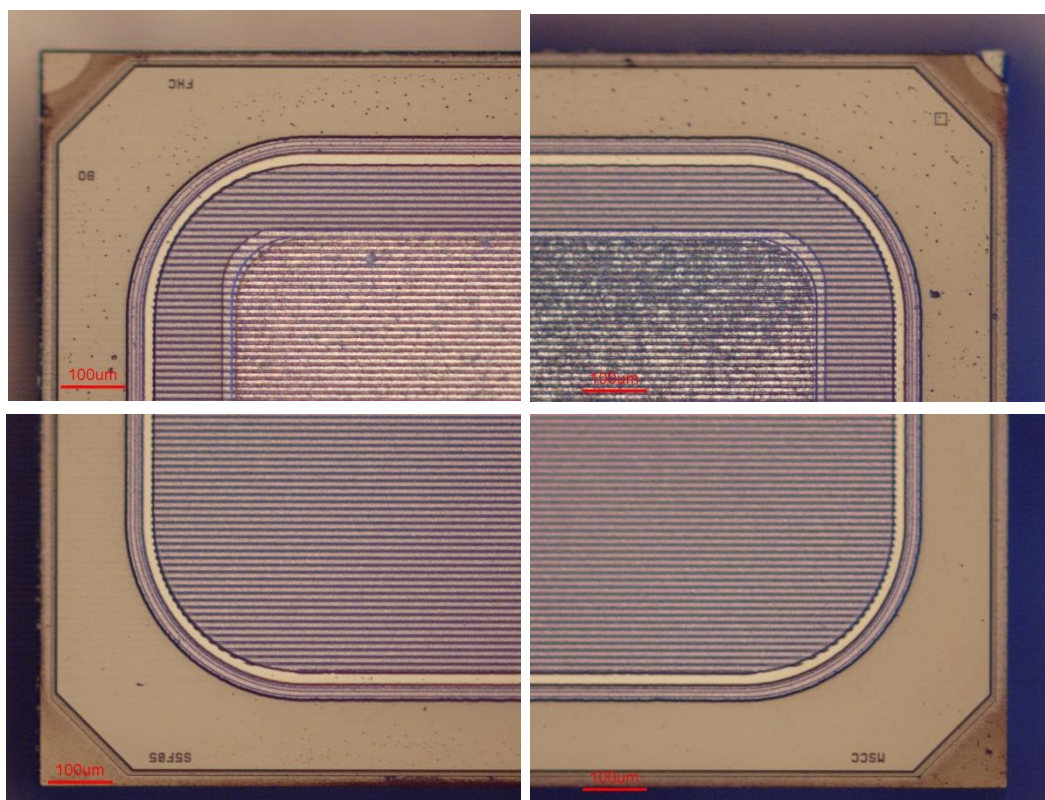


Fig. 3-1-3 チップコーナー部(Top Meatal)

Top Metal・パッシベーション膜付き(ポリイミド保護膜除去)

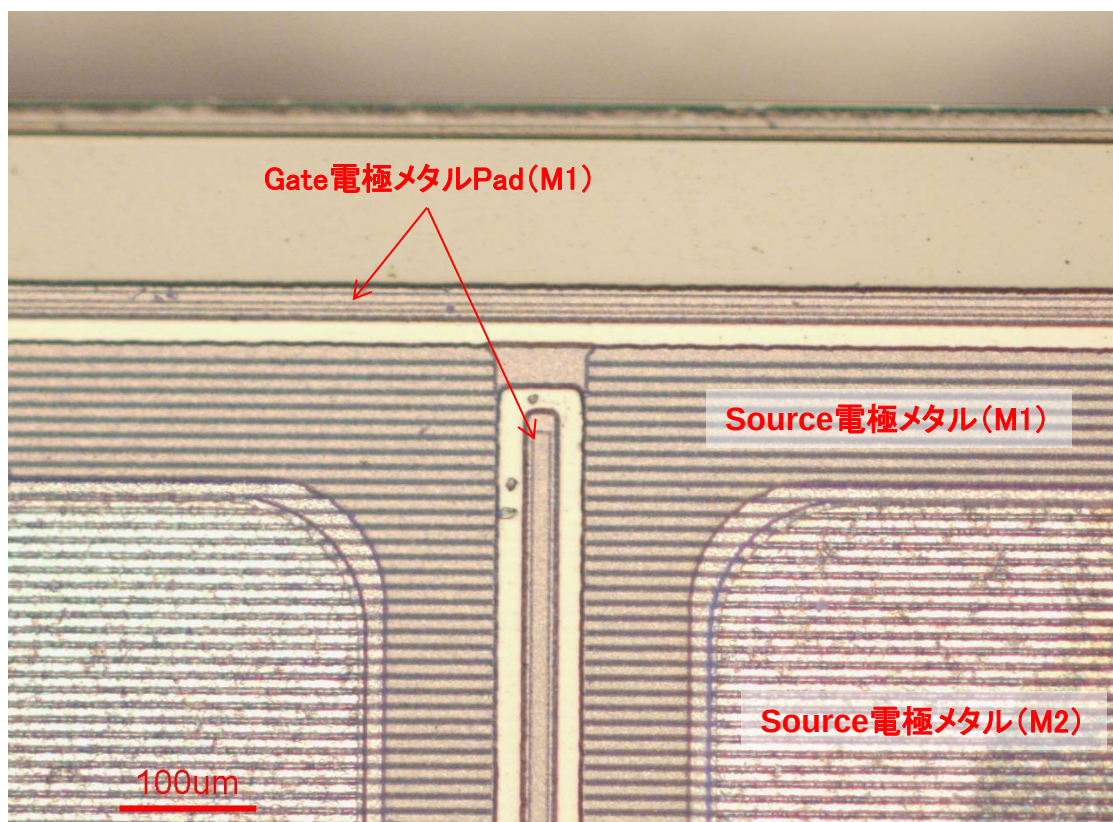


Fig. 3-1-4 Source電極部・Gate電極メタルPad端部 (Top Meatal)

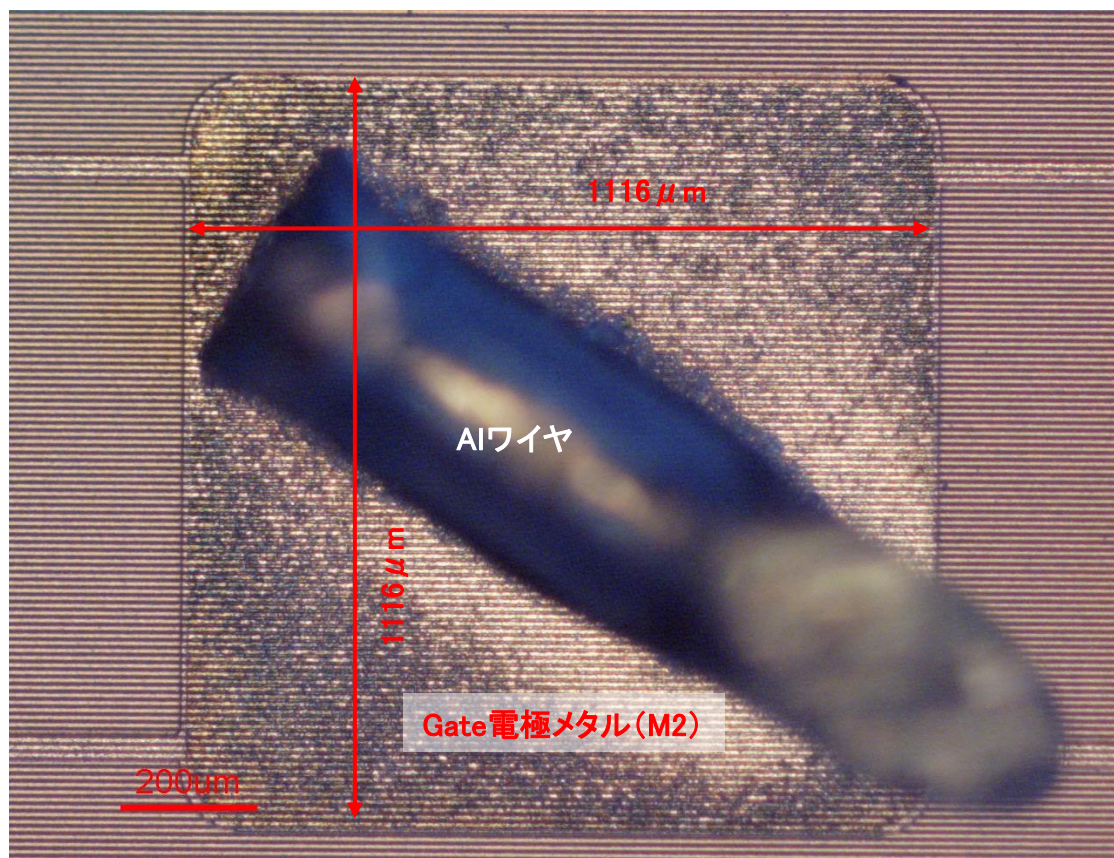


Fig. 3-1-5 Gate電極パッド部 (Top Meatal)

Top Metal ・ パッシベーション膜付き (ポリイミド保護膜除去)

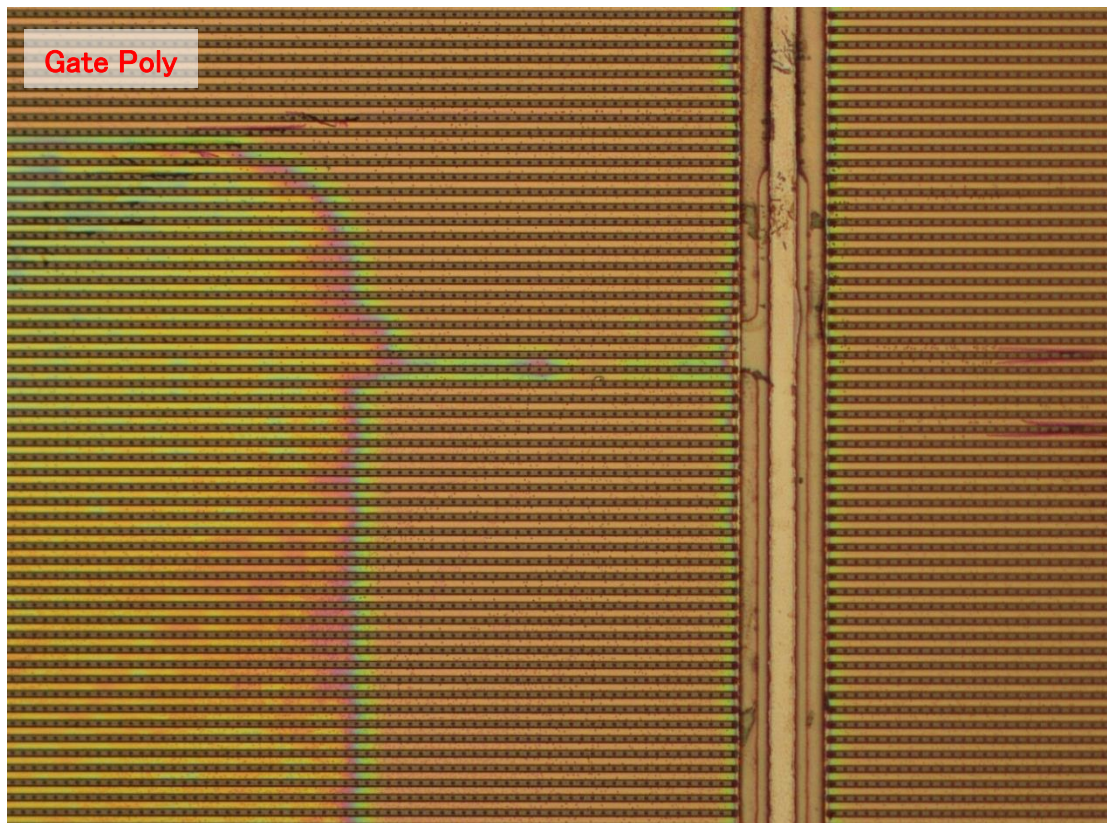


Fig. 3-1-12 Gate電極コンタクト端部 (Metal除去)

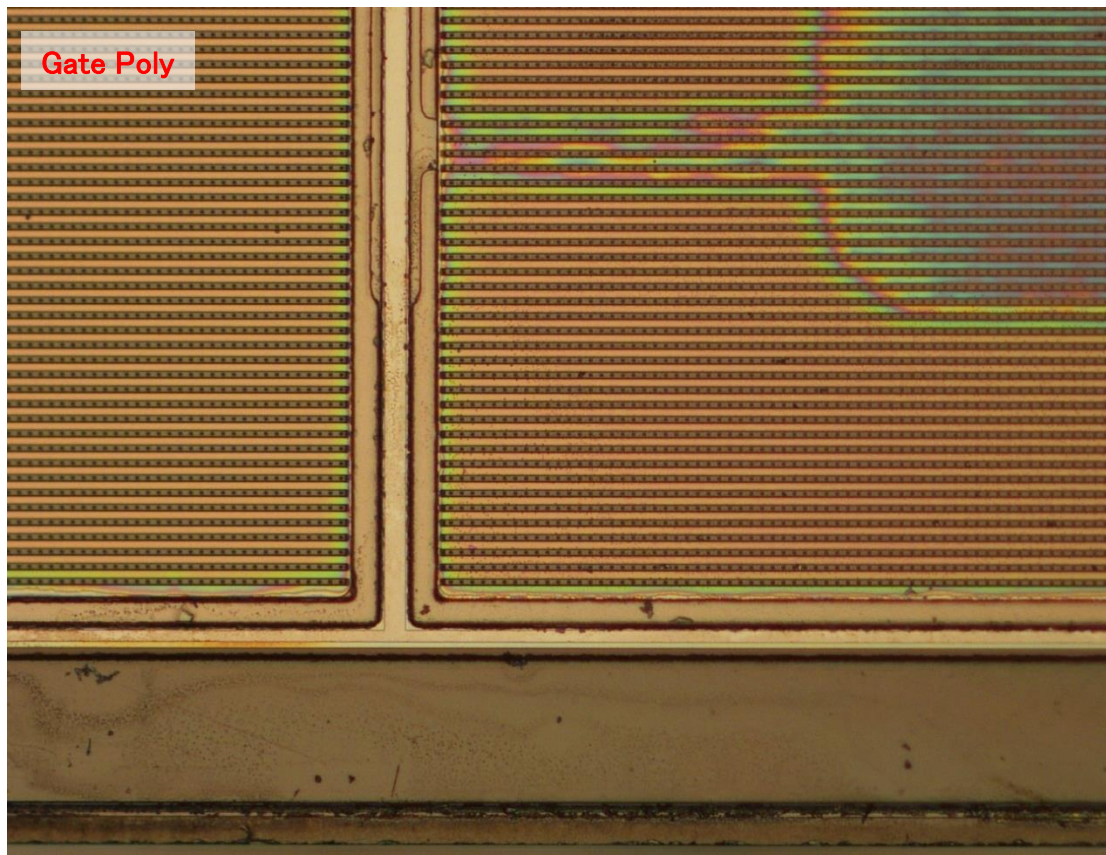


Fig. 3-1-13 Gate電極コンタクト端部 (Metal除去)

3. SiC MOSFET解析

3-2. 平面構造解析(SEM)

3.SiC MOSFET解析

3-2. 平面構造解析(SEM)

Microsemi
APT80SM120B

SiC基板 (Gate Poly・層間絶縁膜除去)

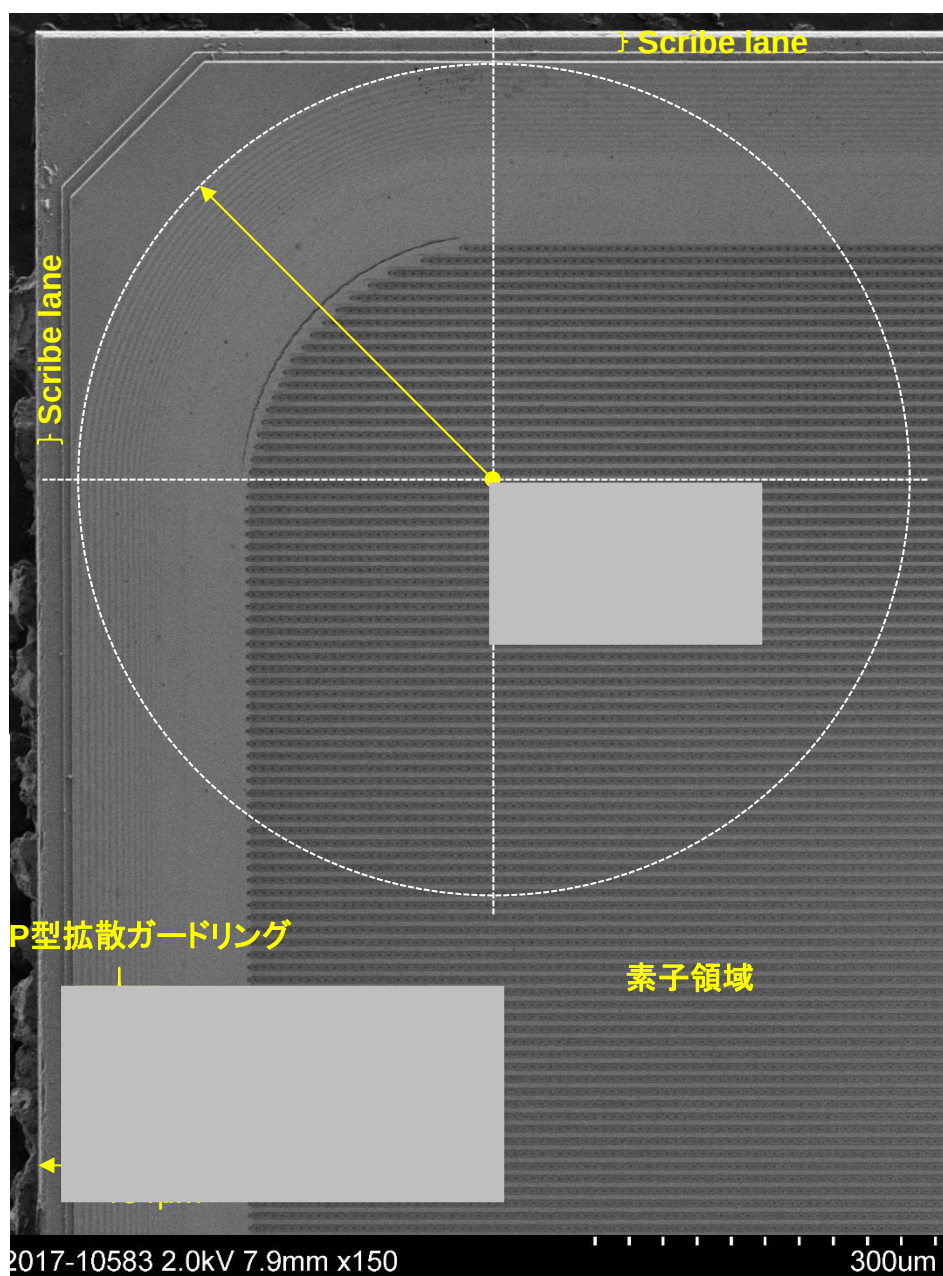


Fig. 3-2-1 チップコーナー部 平面SEM像

3.SiC MOSFET解析

3-2. 平面構造解析(SEM)

Microsemi
APT80SM120B

SiC基板 (Gate Poly・層間絶縁膜除去)

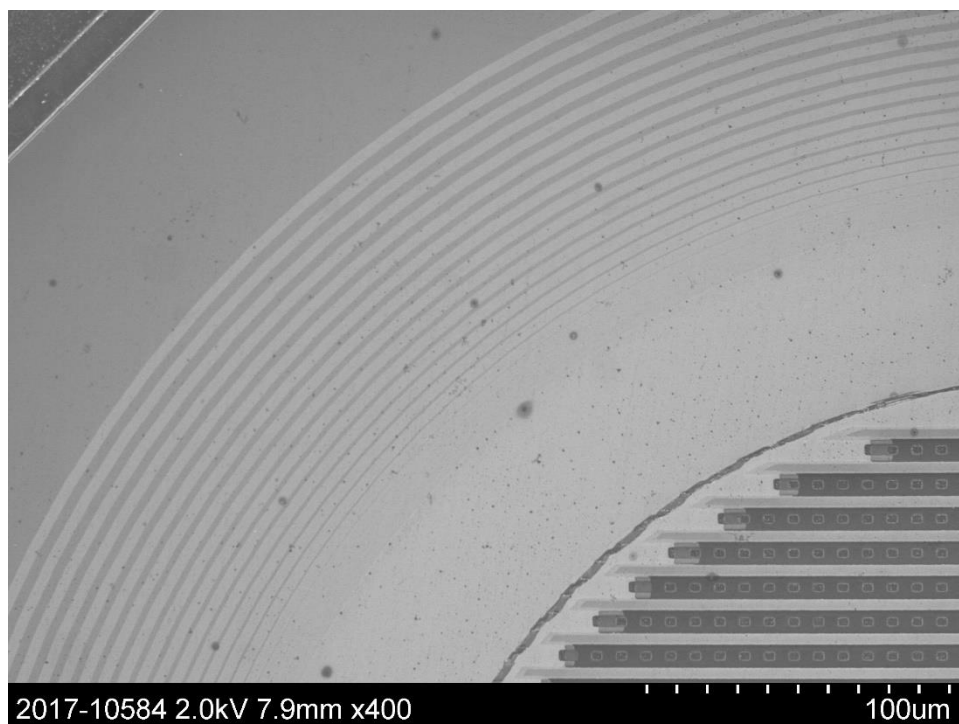


Fig. 3-2-2 チップ外周部 平面SEM像

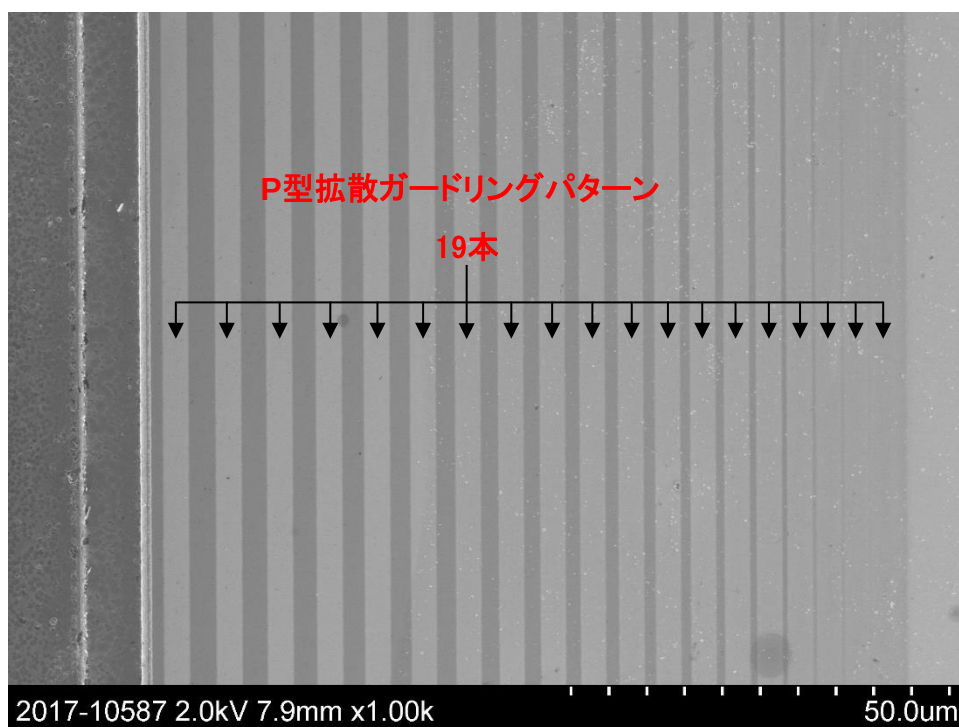


Fig. 3-2-3 素子部 平面SEM像

3.SiC MOSFET解析

3-2. 平面構造解析(SEM)

Microsemi
APT80SM120B

SiC基板 (Gate Poly・層間絶縁膜除去)

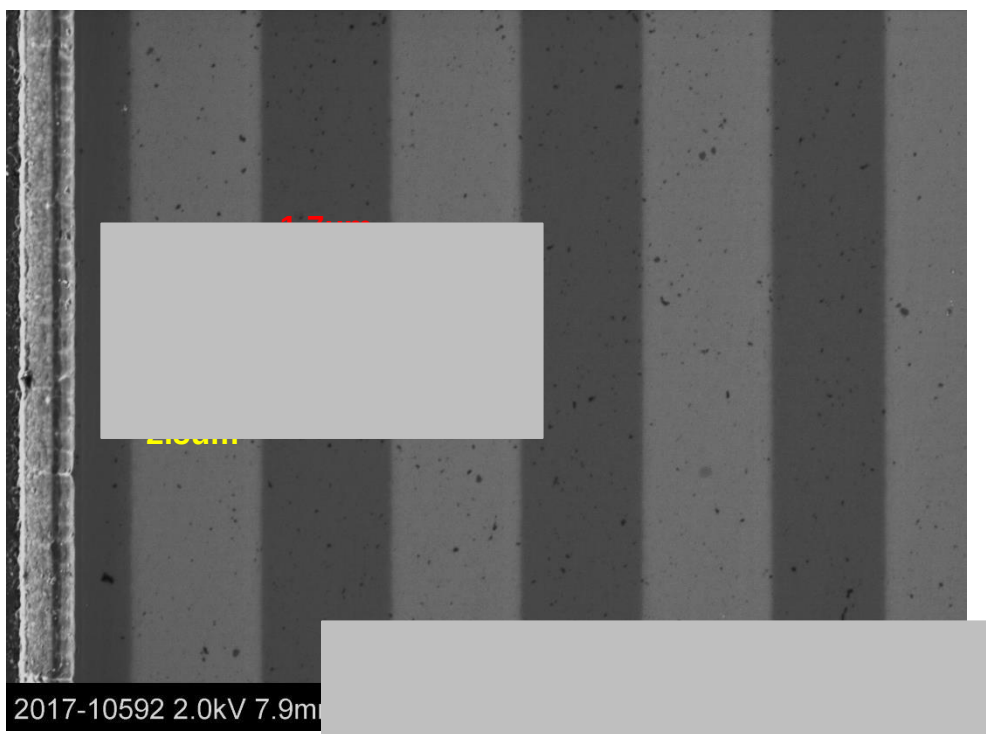


Fig. 3-2-4 ガードリング部 平面SEM像



Fig. 3-2-5 ガードリング部 平面SEM像

3.SiC MOSFET解析

3-2. 平面構造解析(SEM)

Gate Poly Layer

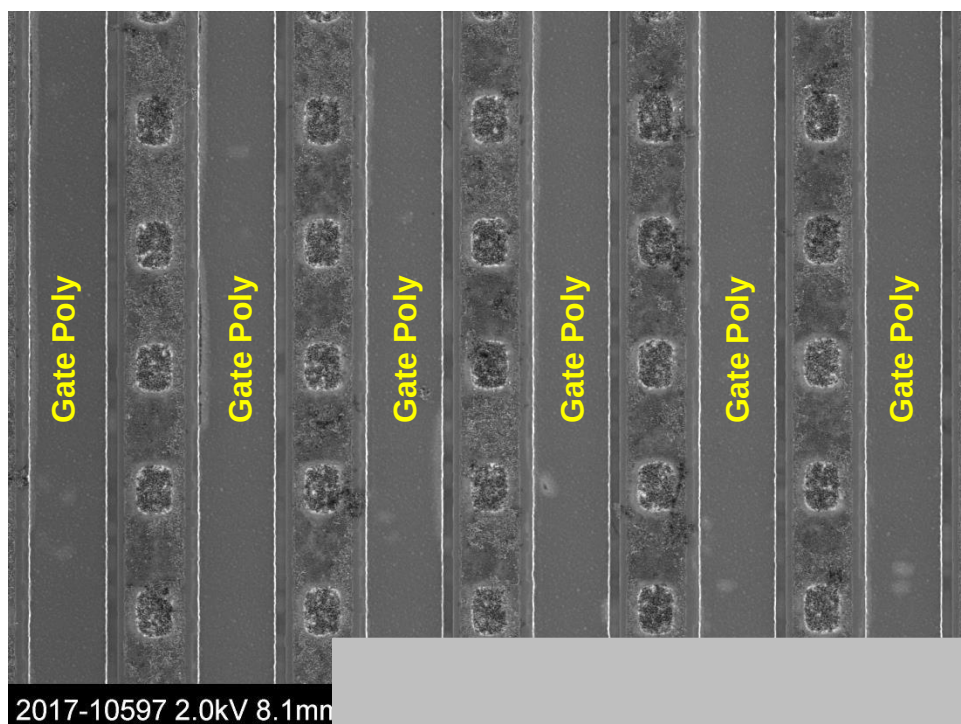


Fig. 3-2-6 素子部 平面SEM像(ゲートポリシリコン)

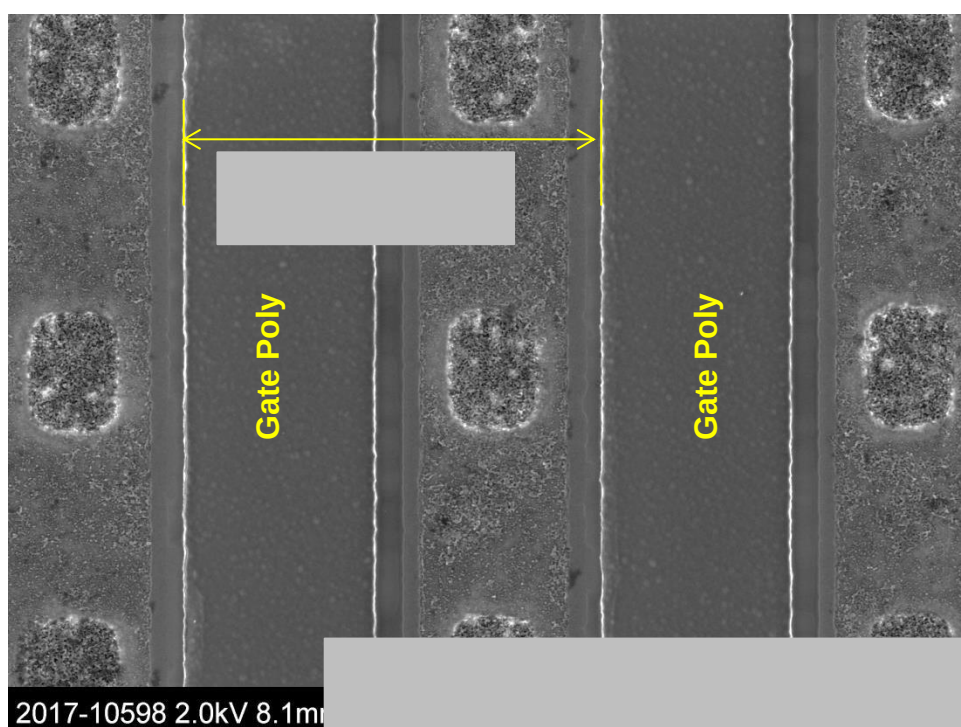


Fig. 3-2-7 素子部 平面SEM像(ゲートポリシリコン)

3.SiC MOSFET解析

3-2. 平面構造解析 (SEM)

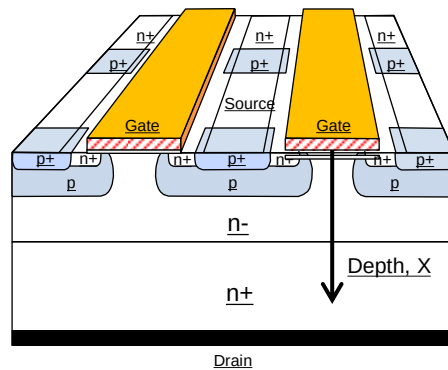


Fig. 3-2-10 プレーナSiC MOSFETの模式的な透視図

ゲート酸化膜除去で基板が露出

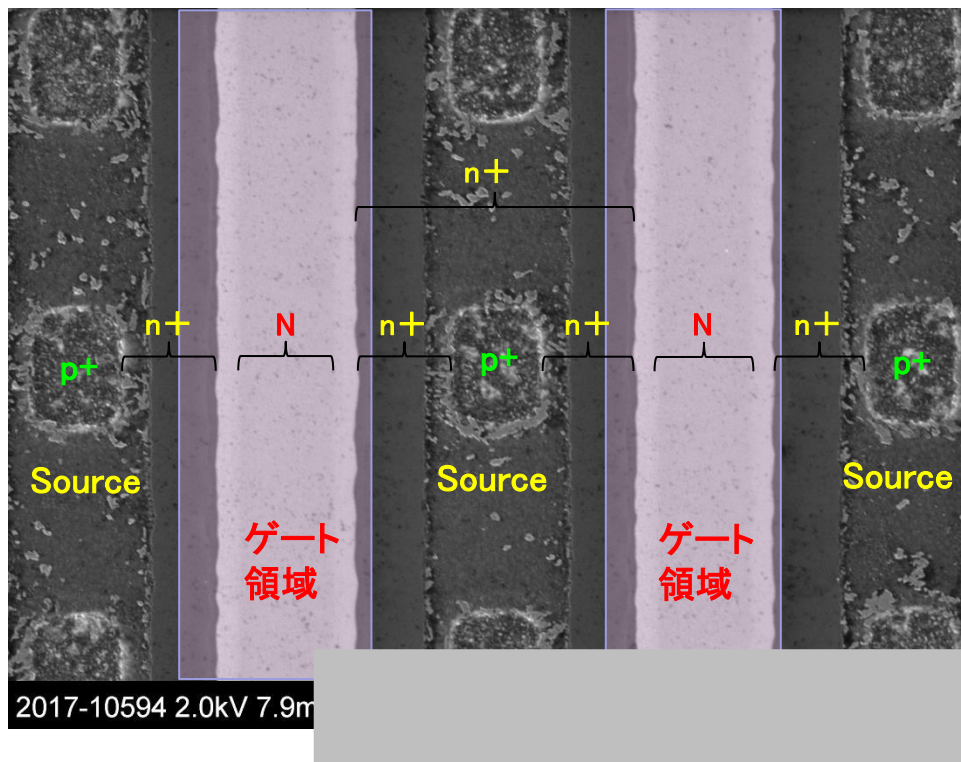


Fig. 3-2-11 素子部 平面SEM像

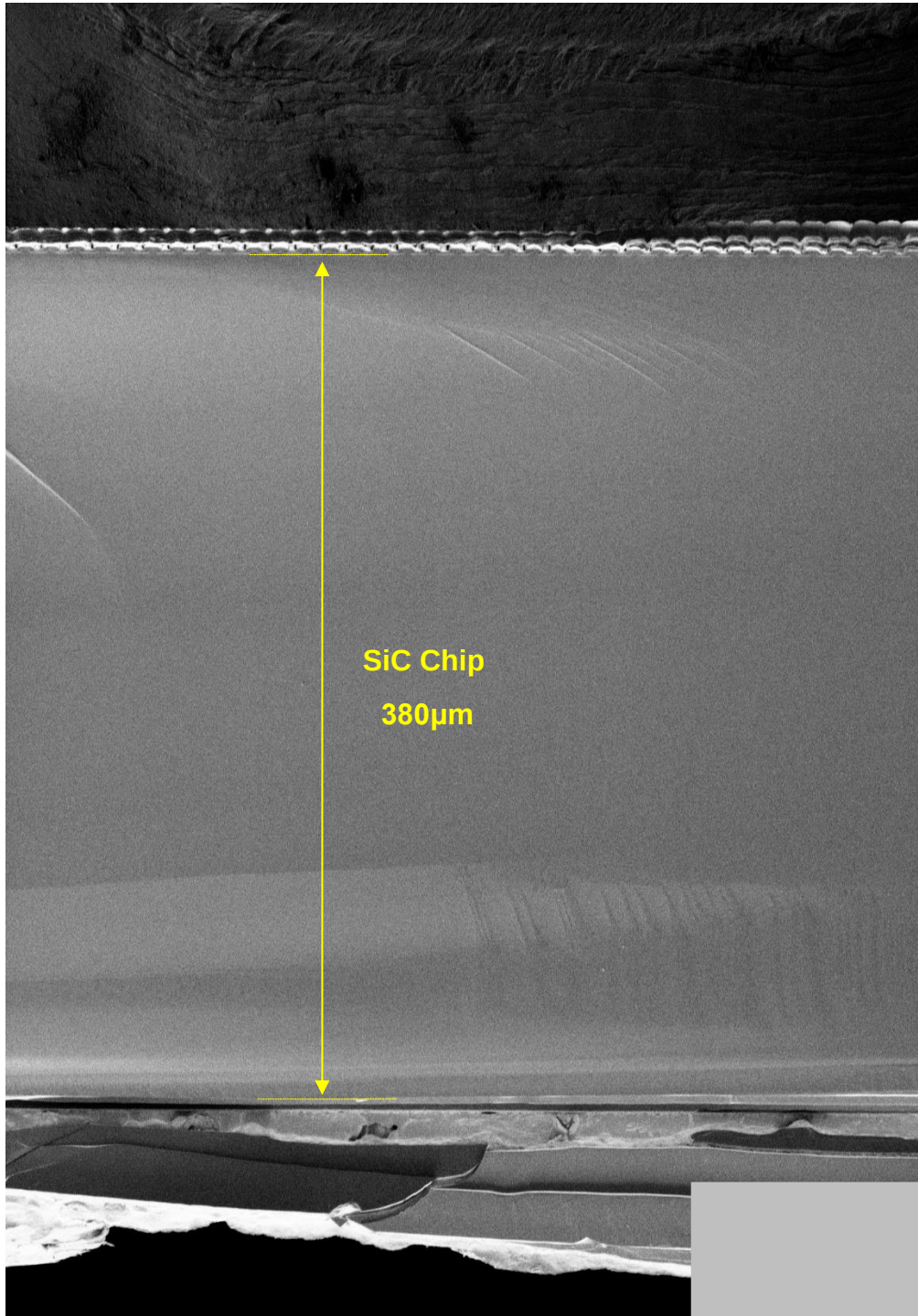
3. SiC MOSFET解析

3-3. 断面構造解析(SEM)

3.SiC MOSFET解析

3-3. 断面構造解析(SEM)

Microsemi
APT80SM120B



Rawデータ150%拡大

Fig. 3-3-1 チップ膜厚断面SEM像

3.SiC MOSFET解析

3-3. 断面構造解析(SEM)

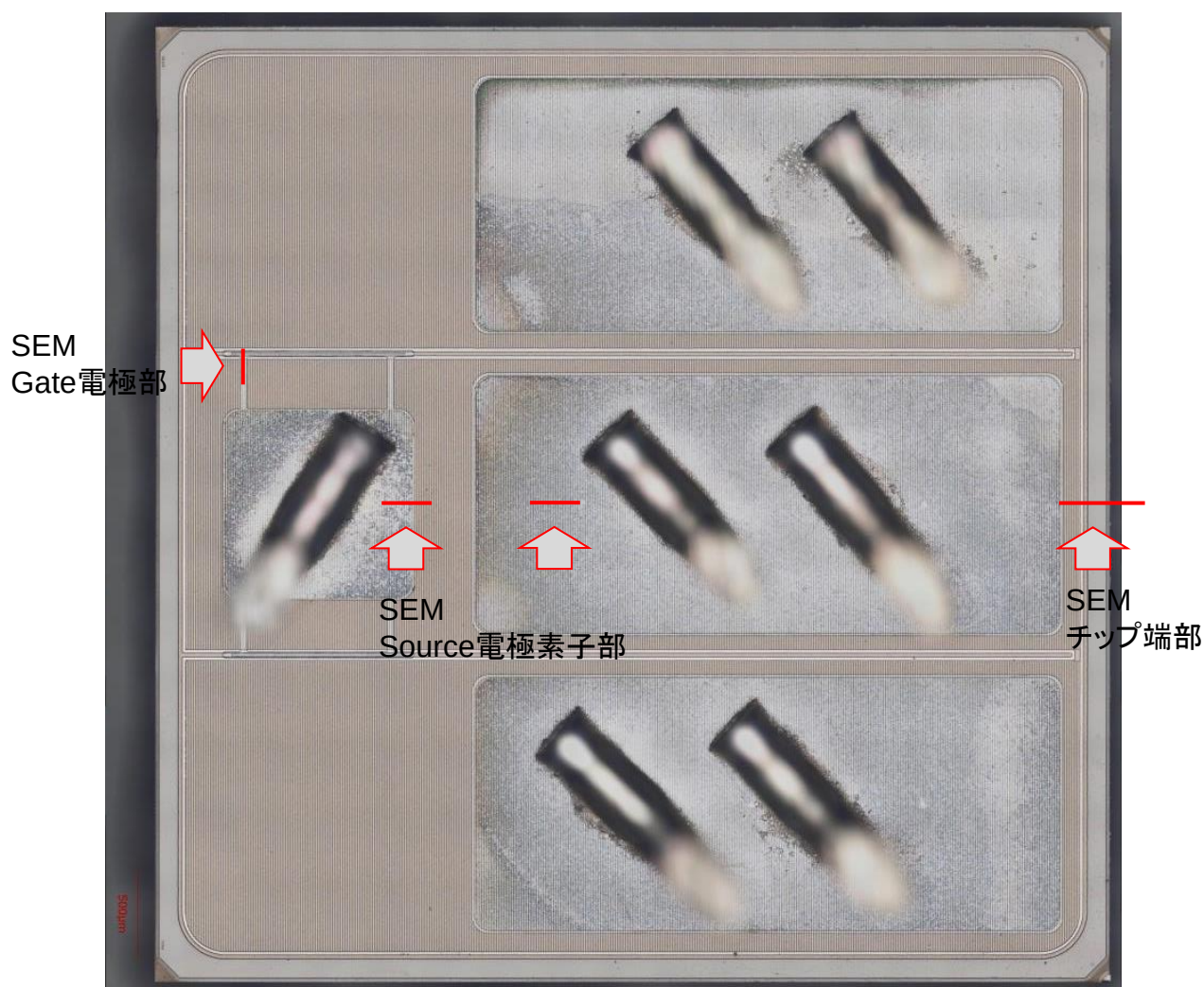
Microsemi
APT80SM120B

Fig. 3-3-2 断面観察箇所のチップOM像

3.SiC MOSFET解析

3-3. 断面構造解析 (SEM)

Microsemi
APT80SM120B

素子部

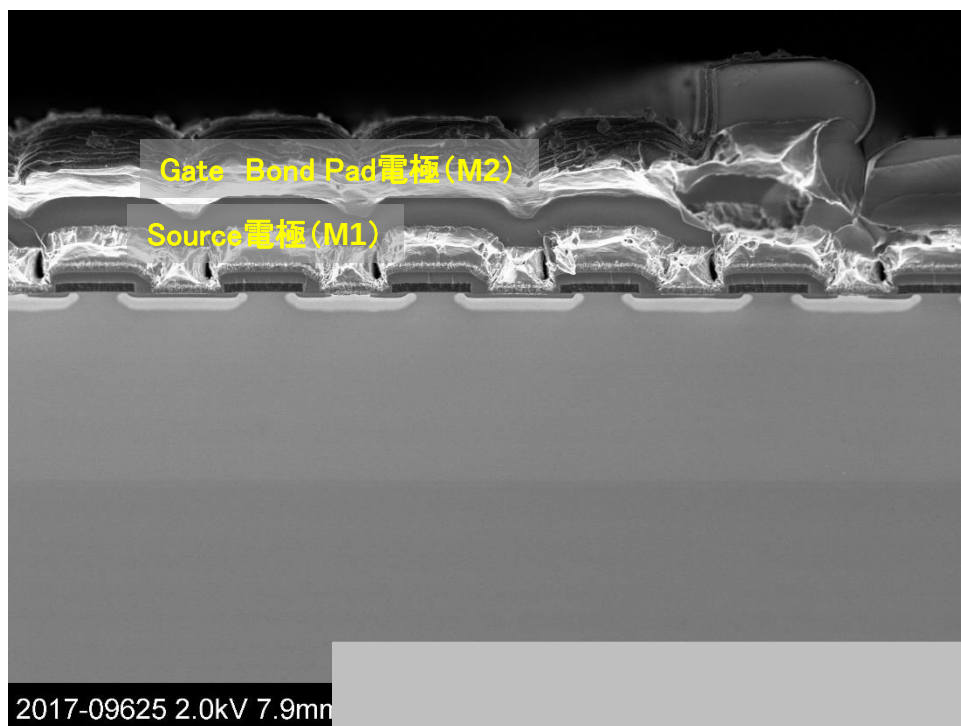


Fig. 3-3-3 素子部 断面SEM像

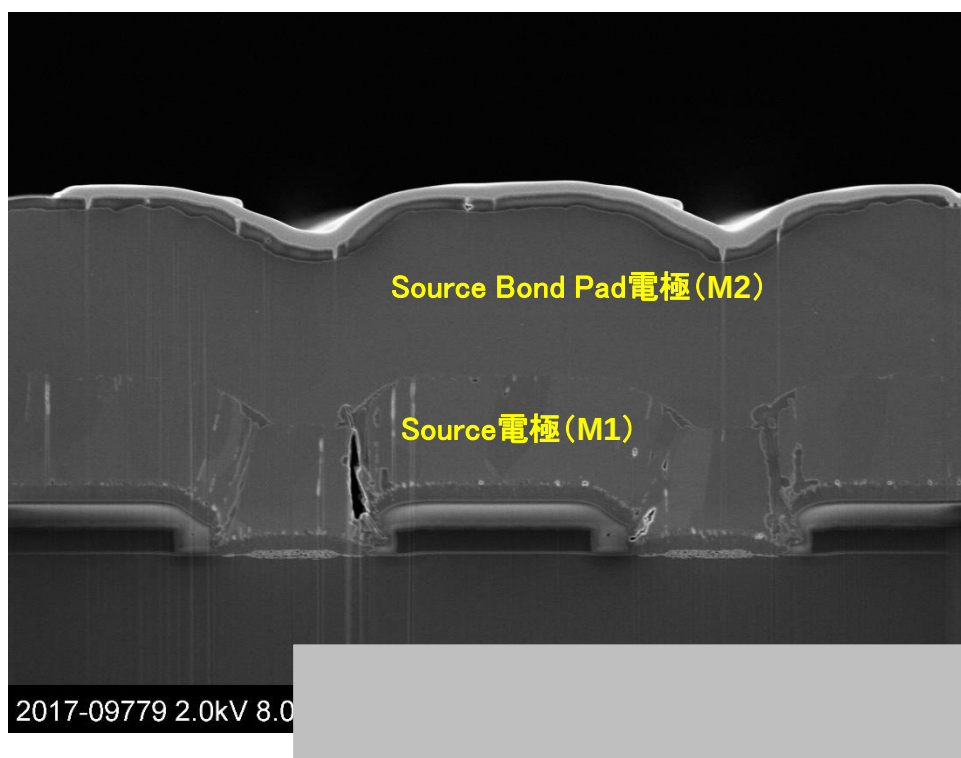


Fig. 3-3-4 素子部 断面SEM像

3.SiC MOSFET解析

3-3. 断面構造解析(SEM)

Microsemi
APT80SM120B

素子部

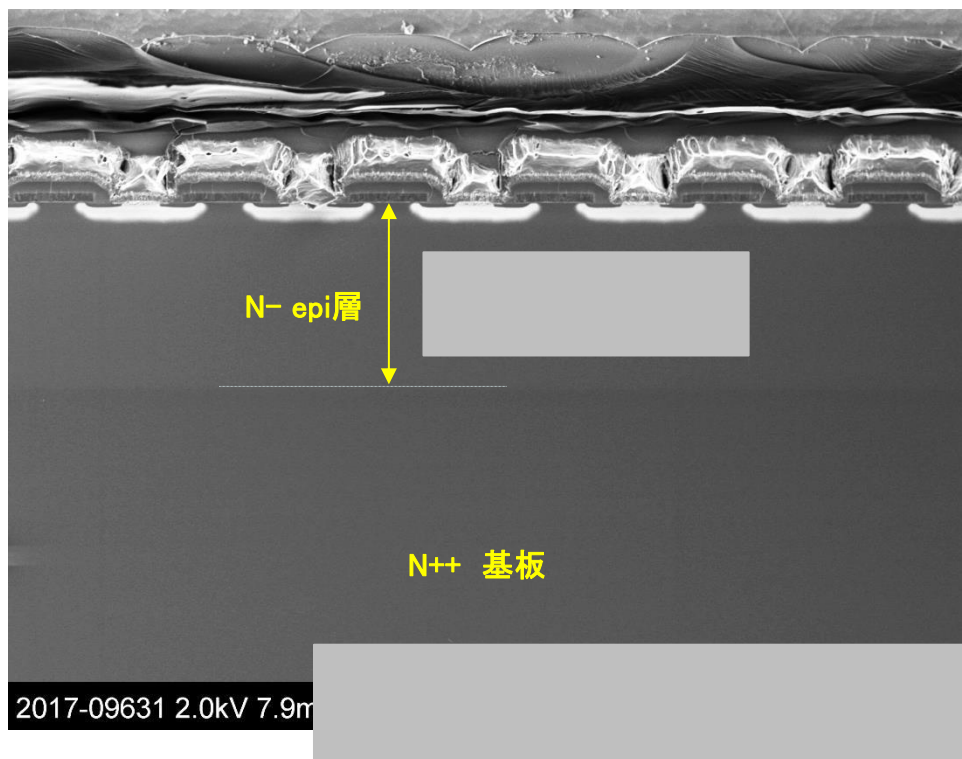


Fig. 3-3-5 素子部 断面SEM像

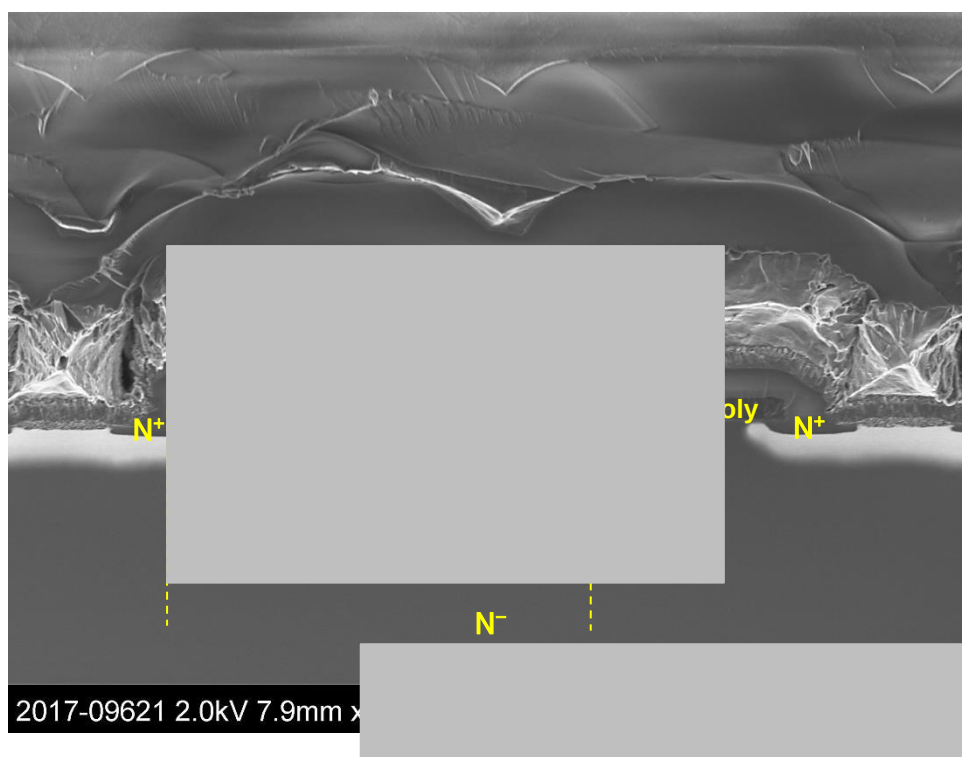


Fig. 3-3-6 素子部 断面SEM像

※注入層は推定

3.SiC MOSFET解析

3-3. 断面構造解析 (SEM)

Microsemi
APT80SM120B

Gate電極部

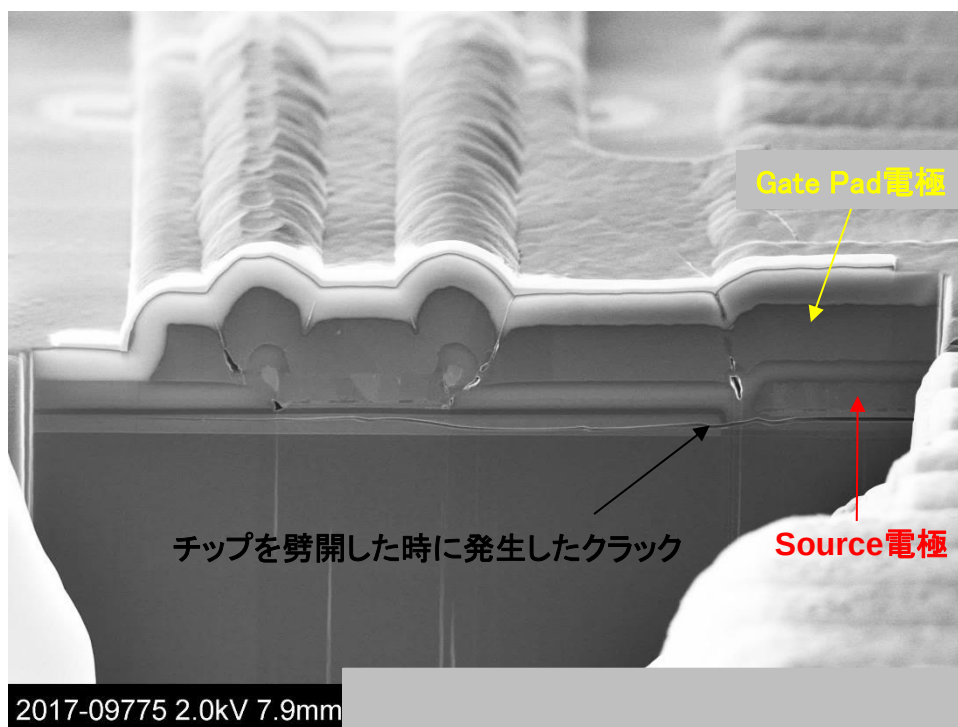


Fig. 3-3-11 Gate電極端部 断面SEM像

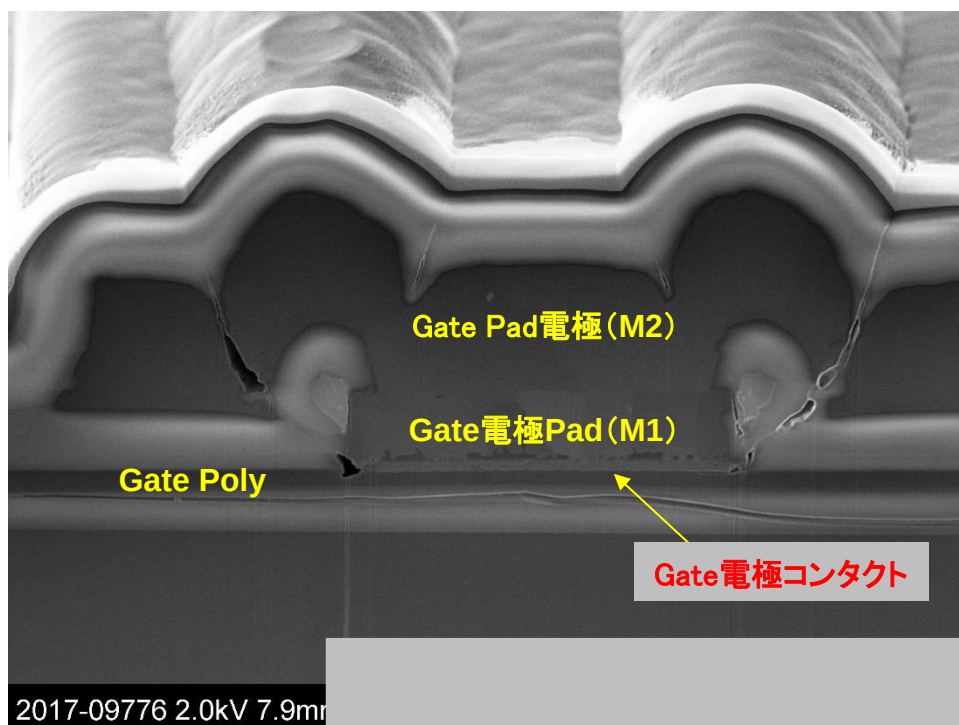


Fig. 3-3-12 Source電極コンタクト 断面SEM像

3.SiC MOSFET解析

3-3. 断面構造解析(SEM)

Microsemi
APT80SM120B

チップ端部(Scribe lane・ガードリング)

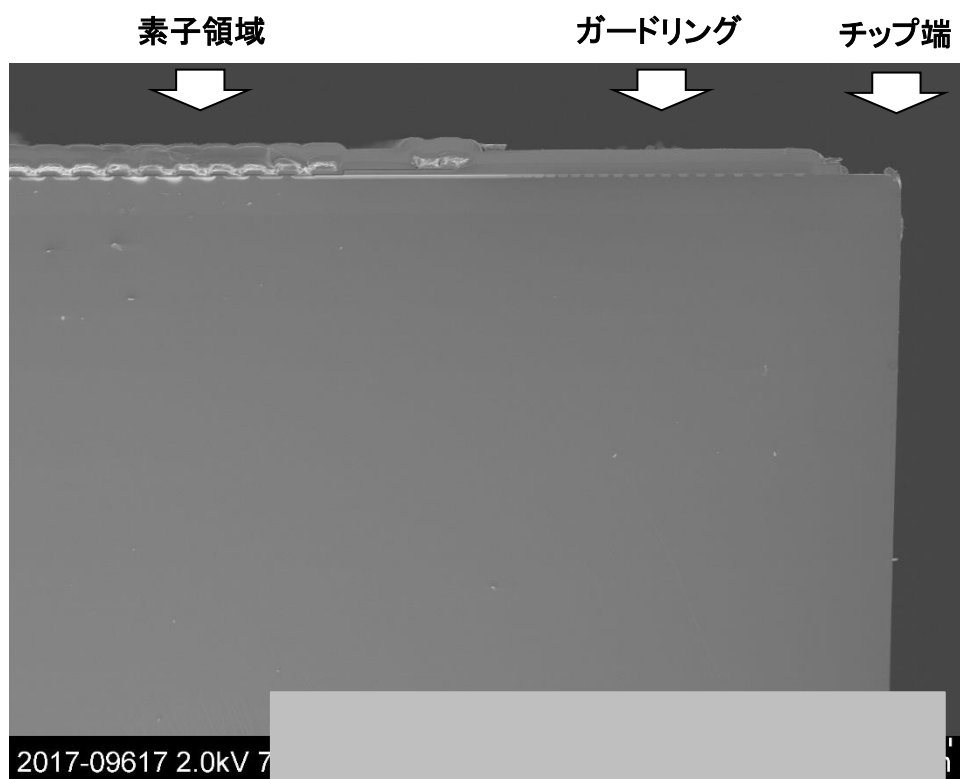


Fig. 3-3-13 チップ端部 断面SEM像

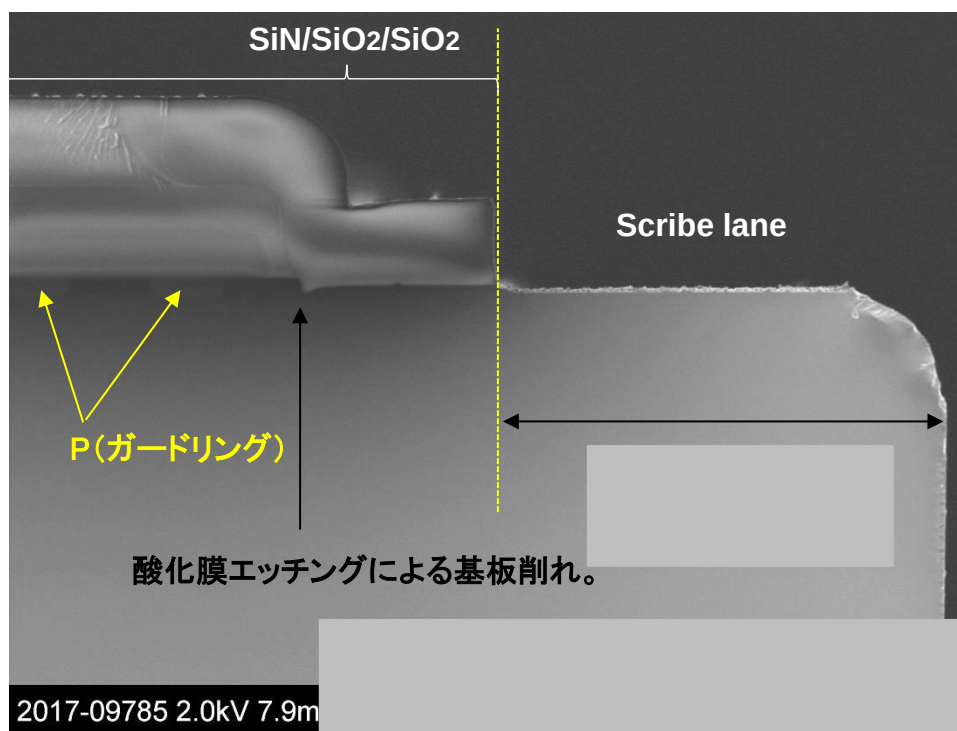


Fig. 3-3-14 チップ端部 断面SEM像

※注入層は推定

4. パッケージ解析

4-1. パッケージ解析による構造解析

4. パッケージ解析

4-1. パッケージ解析による構造解析

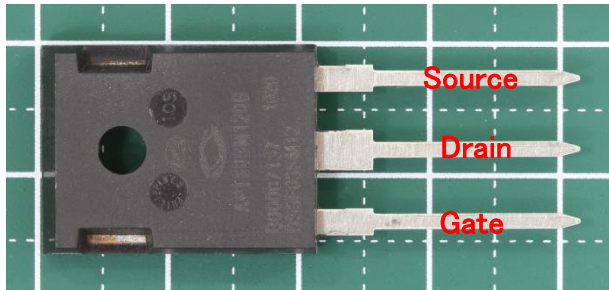


Fig. 4-1-1 パッケージ外観(表面)

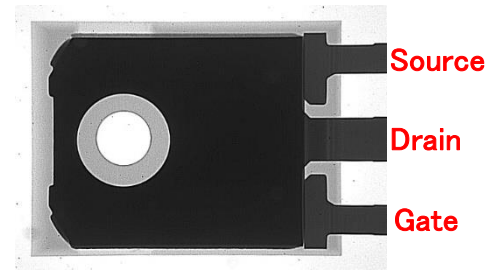


Fig. 4-1-3 X線像(平面)

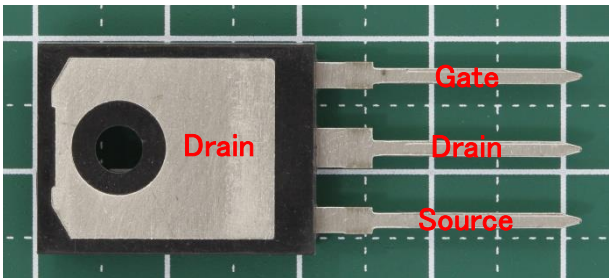


Fig. 4-1-2 パッケージ外観(裏面)



Fig. 4-1-4 X線像(側面)

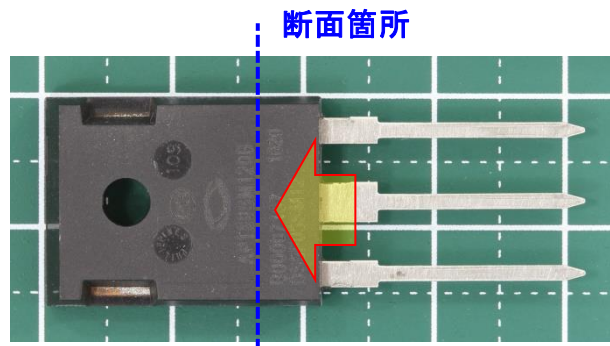


Fig. 4-1-5 パッケージ断面研磨ポイント

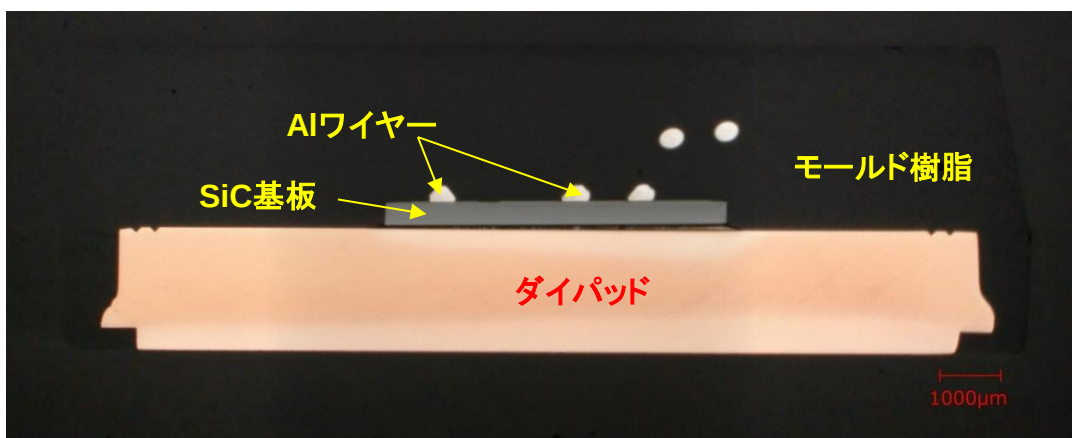


Fig. 4-1-6 パッケージ断面 OM像

4. パッケージ解析

4-1. パッケージ解析による構造解析

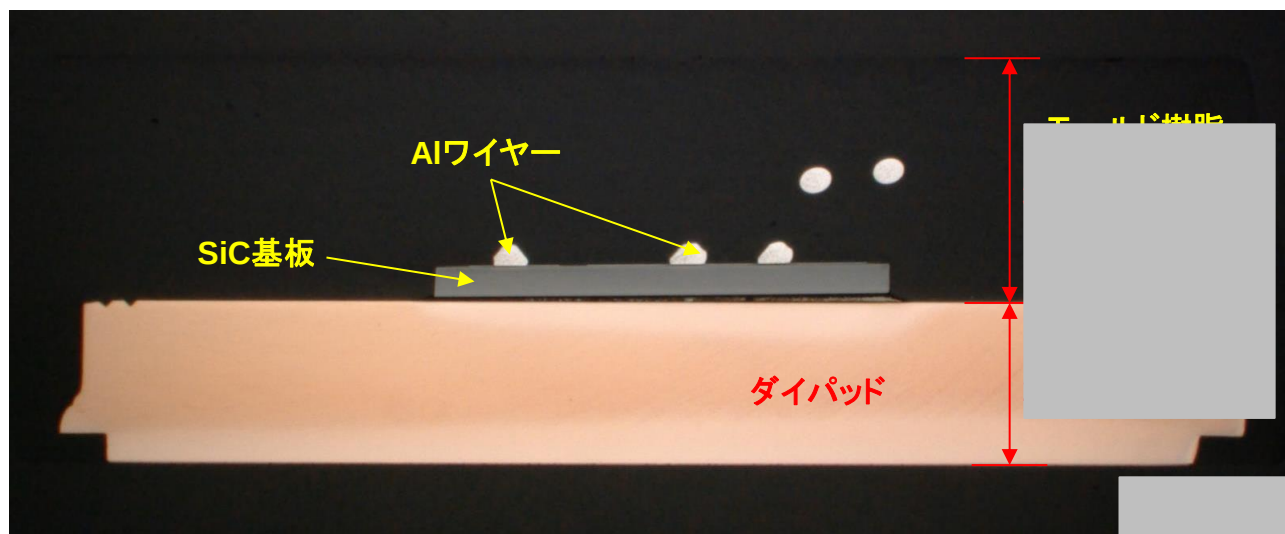


Fig. 4-1-7 パッケージ断面 OM像

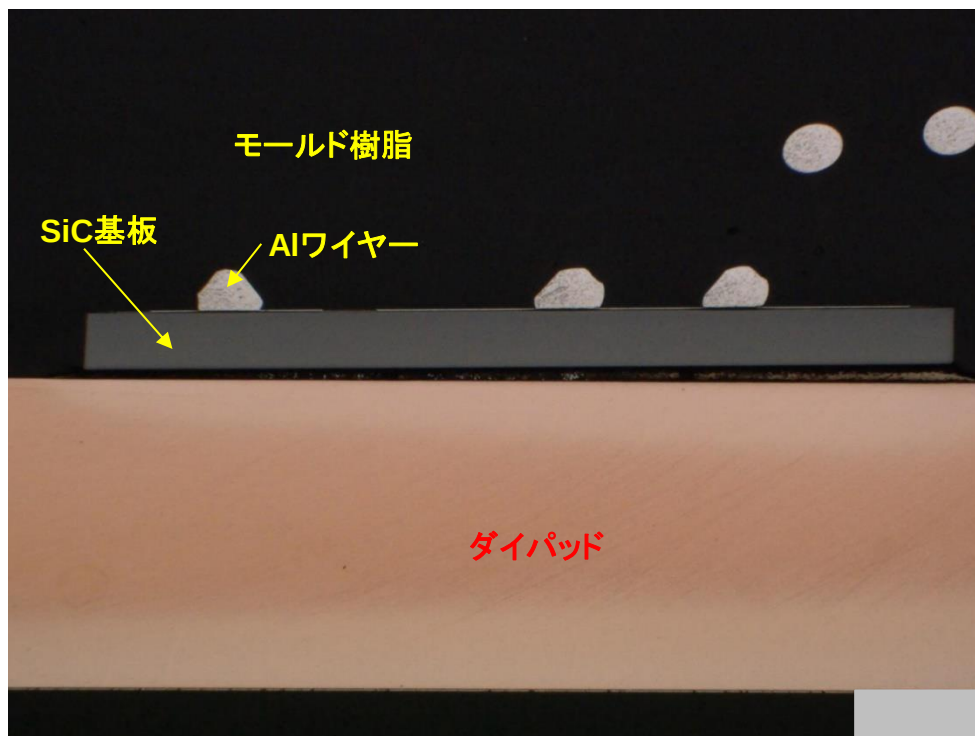


Fig. 4-1-8 パッケージ断面 OM像：チップ全体

4. パッケージ解析

4-1. パッケージ解析による構造解析

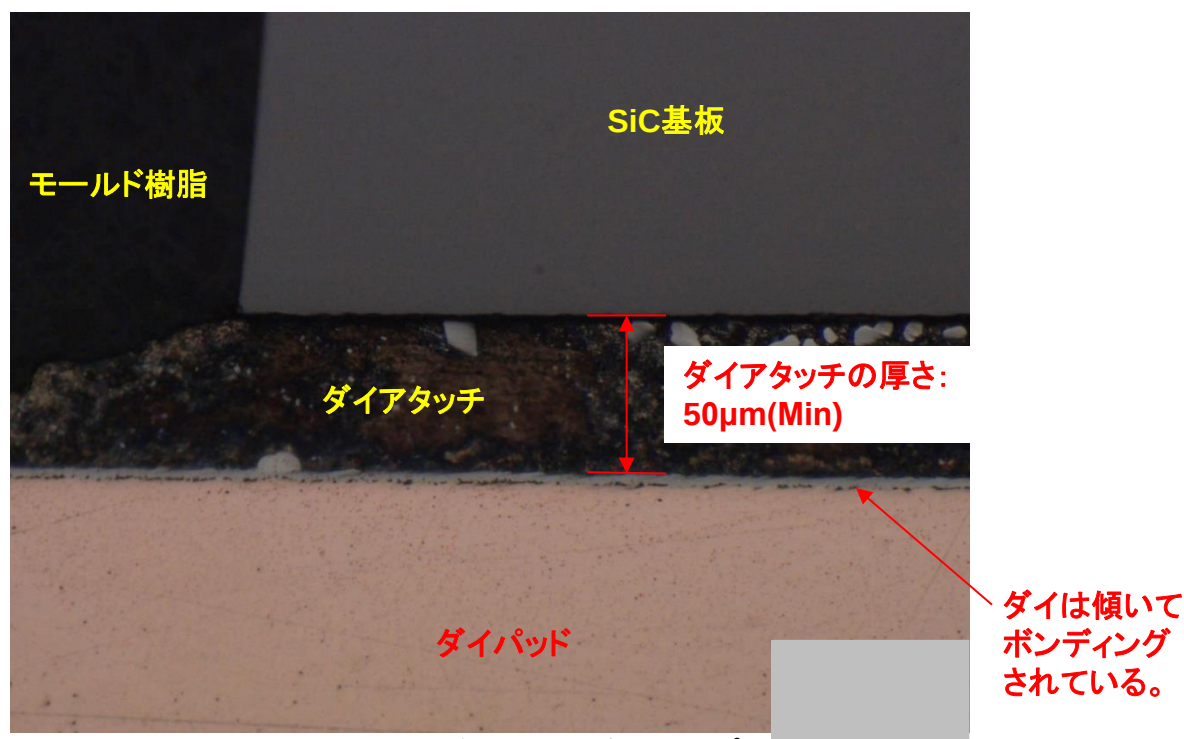


Fig. 4-1-9 パッケージ断面 OM像：チップ左端部

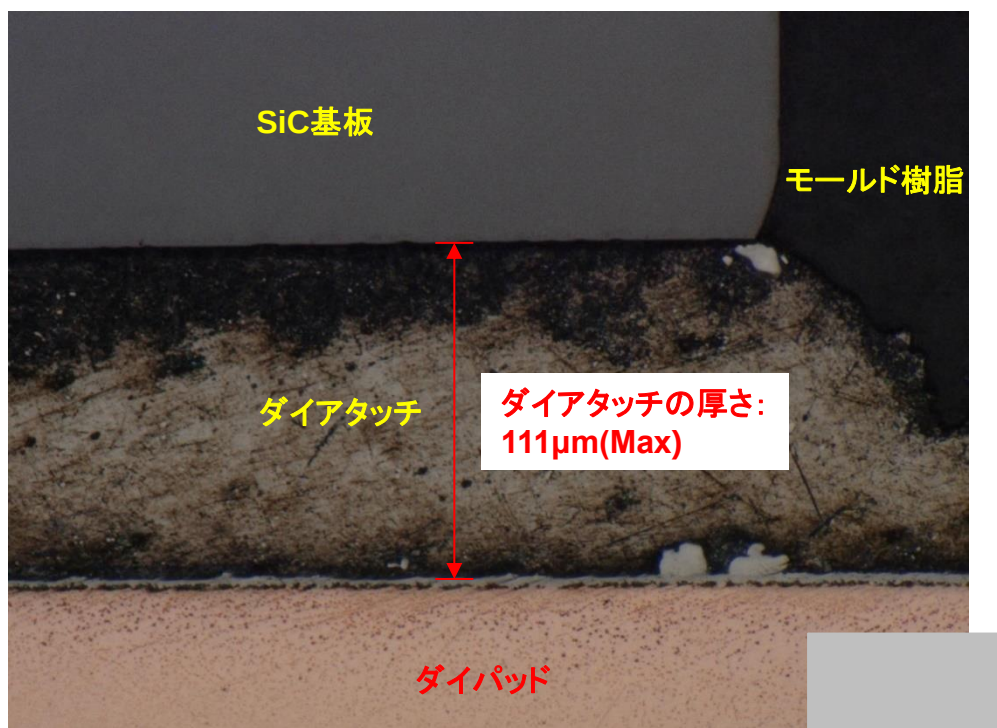


Fig. 4-1-10 パッケージ断面 OM像：チップ右端部

4.パッケージ解析

4-1. パッケージ解析による構造解析

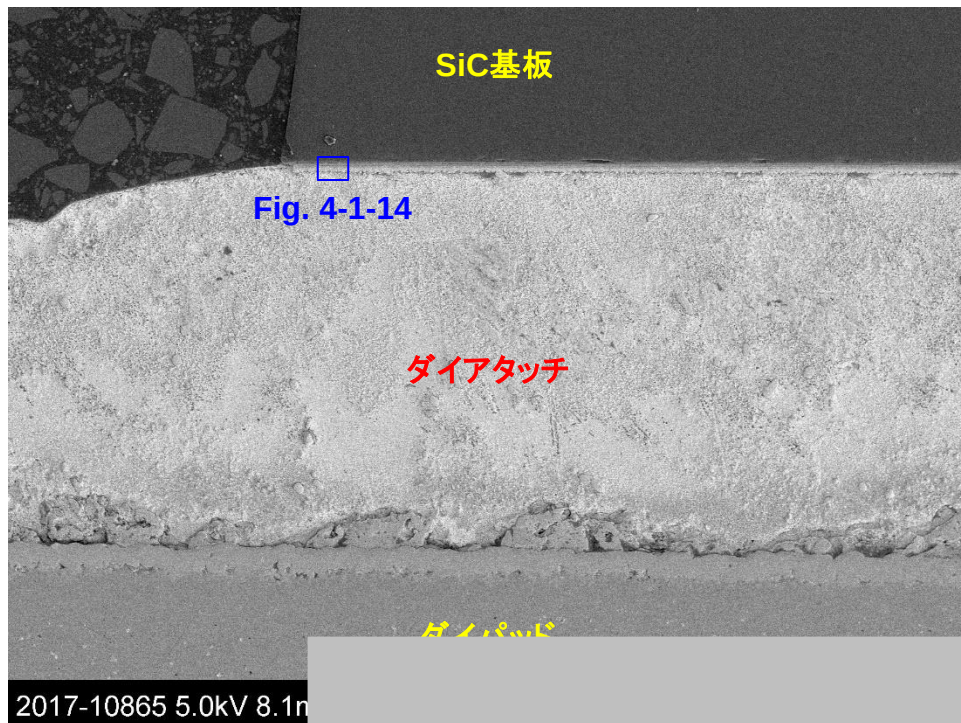
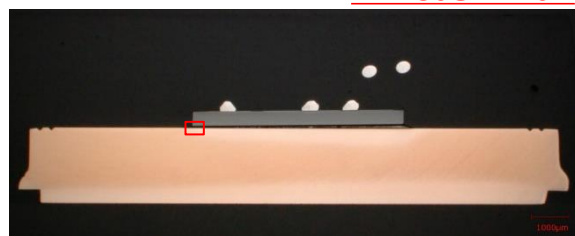


Fig. 4-1-13 ハツケーン断面 SEM像:ダイヤモンド

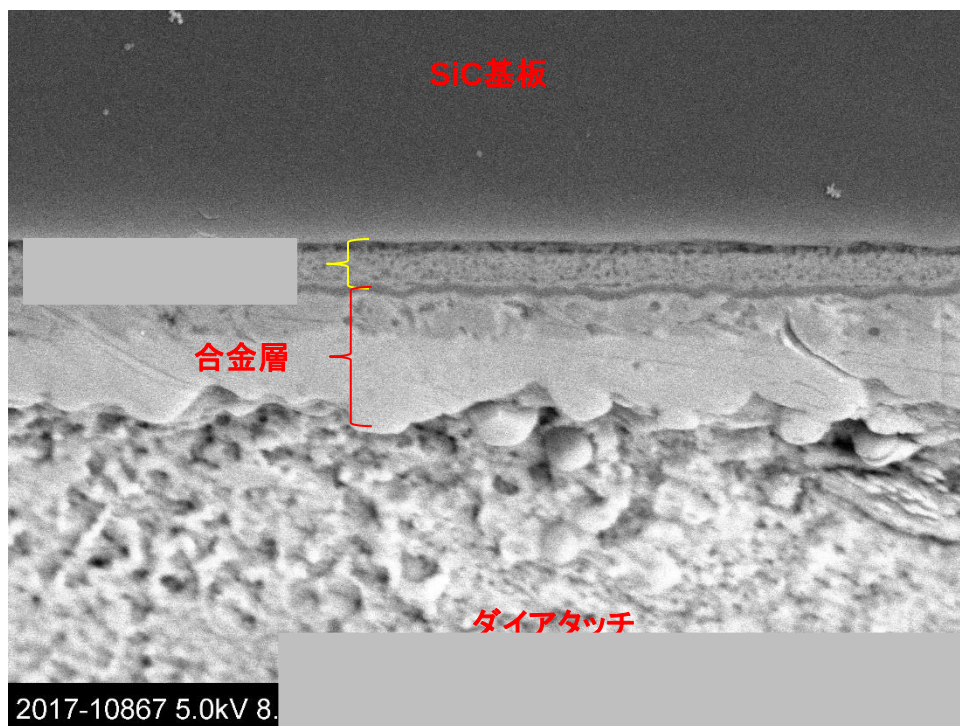


Fig. 4-1-14 パッケージ断面 SEM像:裏面電極

※裏面電極の材料はEDX分析結果からの推定

4. パッケージ解析

4-1. パッケージ解析による構造解析

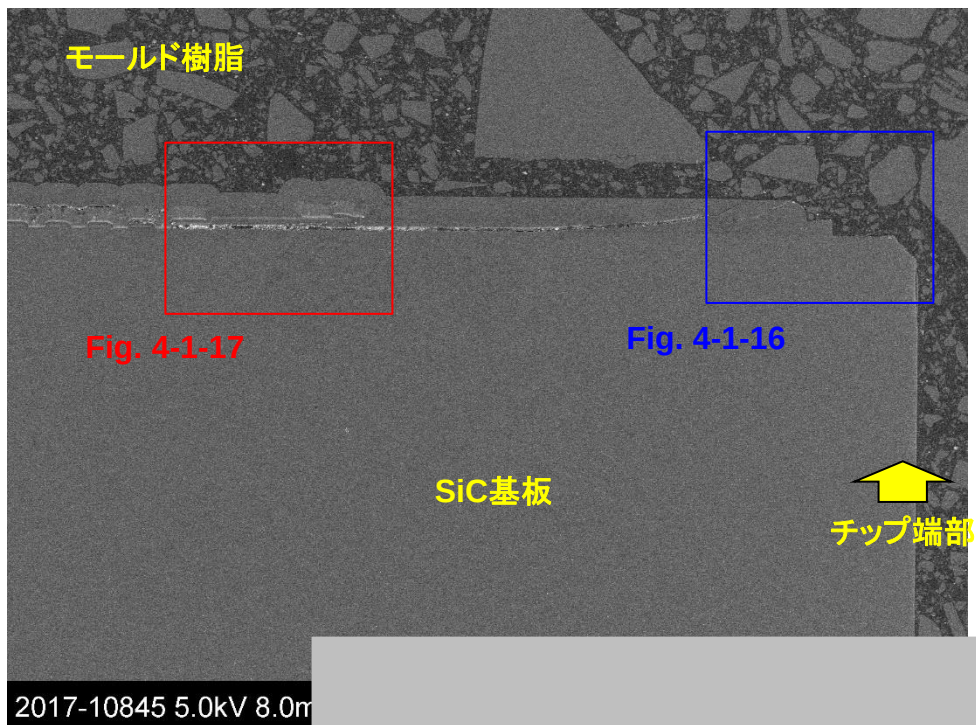
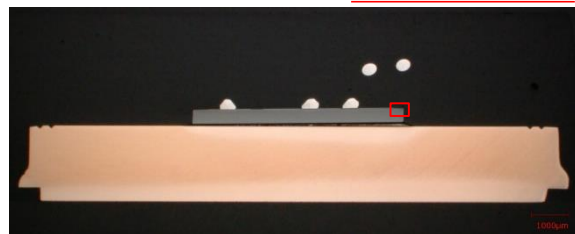
Microsemi
APT80SM120B

Fig. 4-1-15 ハツケーン断面 SEM像：チップ端部

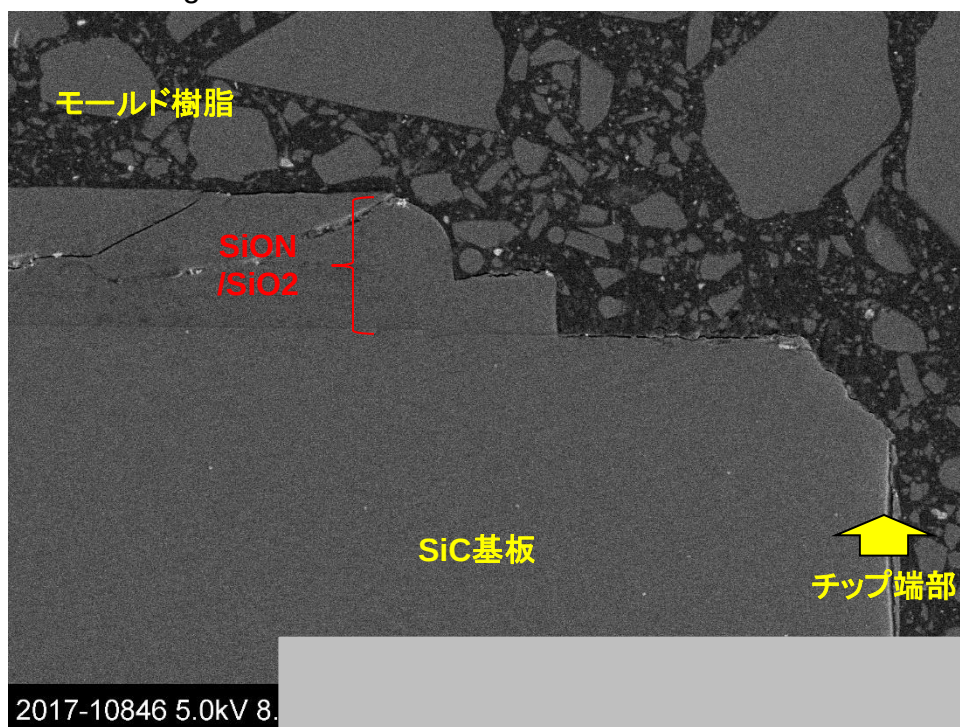
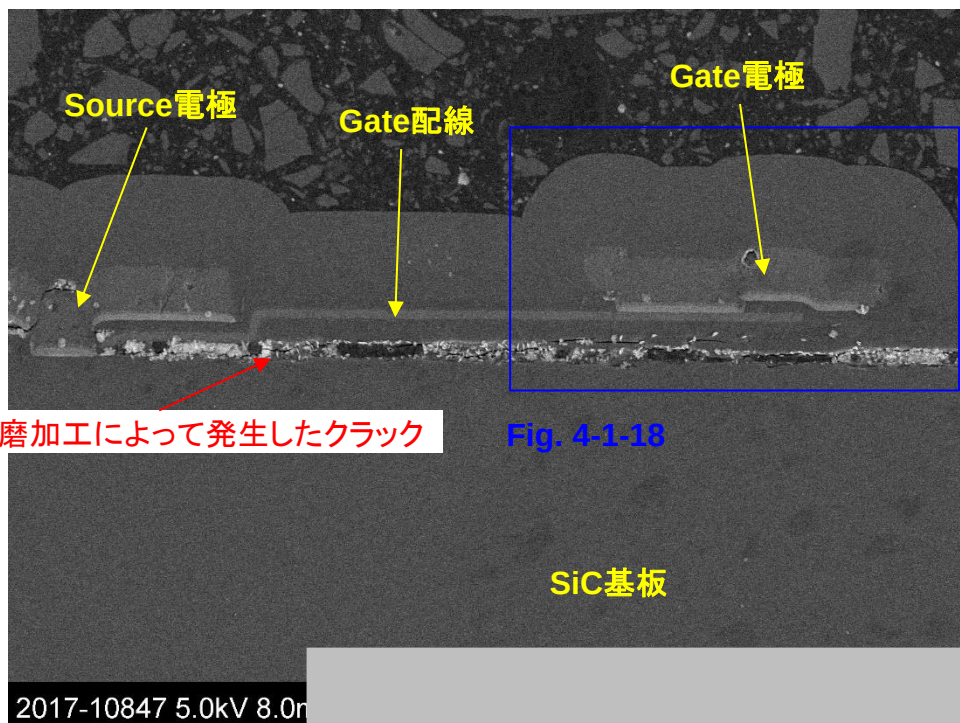
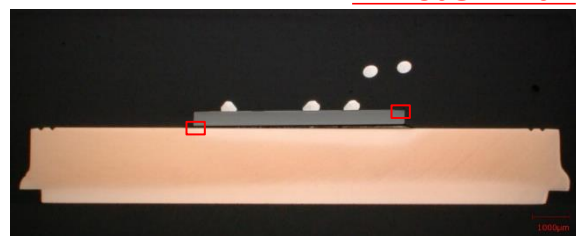


Fig. 4-1-16 パッケージ断面 SEM像：チップ端部

4. パッケージ解析

4-1. パッケージ解析による構造解析

Microsemi
APT80SM120B

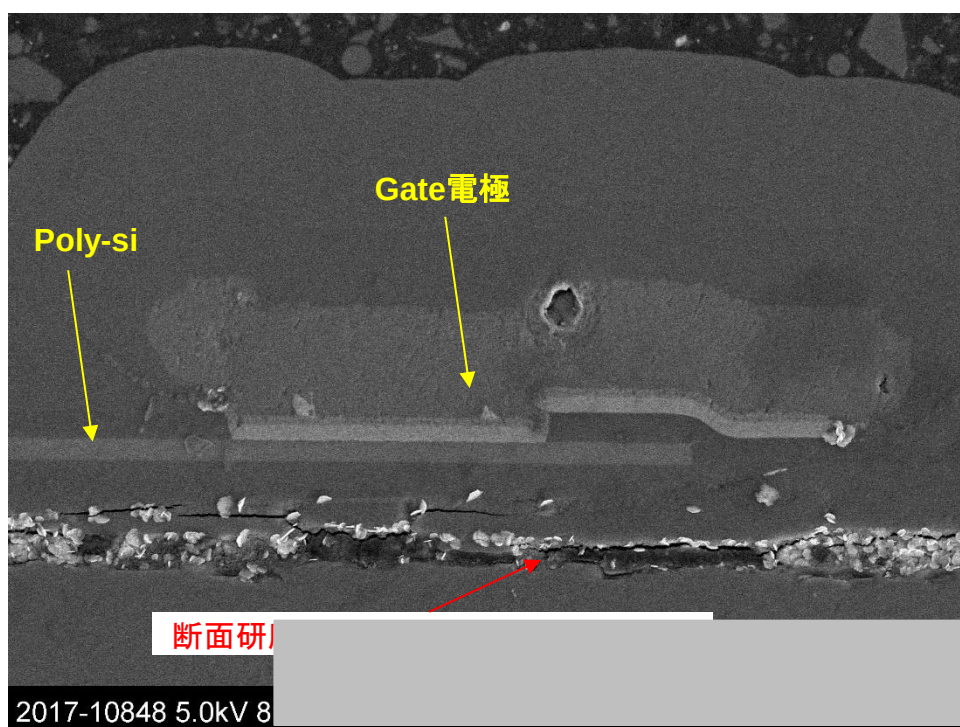
断面研磨加工によって発生したクラック

Fig. 4-1-18

SiC基板

2017-10847 5.0kV 8.0mm

Fig. 4-1-17 パッケージ断面 SEM像:セル端部



断面研磨加工によって発生したクラック

Fig. 4-1-18 パッケージ断面 SEM像:ゲート配線部

4. パッケージ解析

4-2. EDX材料分析

4. パッケージ解析

4-2. EDX材料分析

Microsemi
APT80SM120B

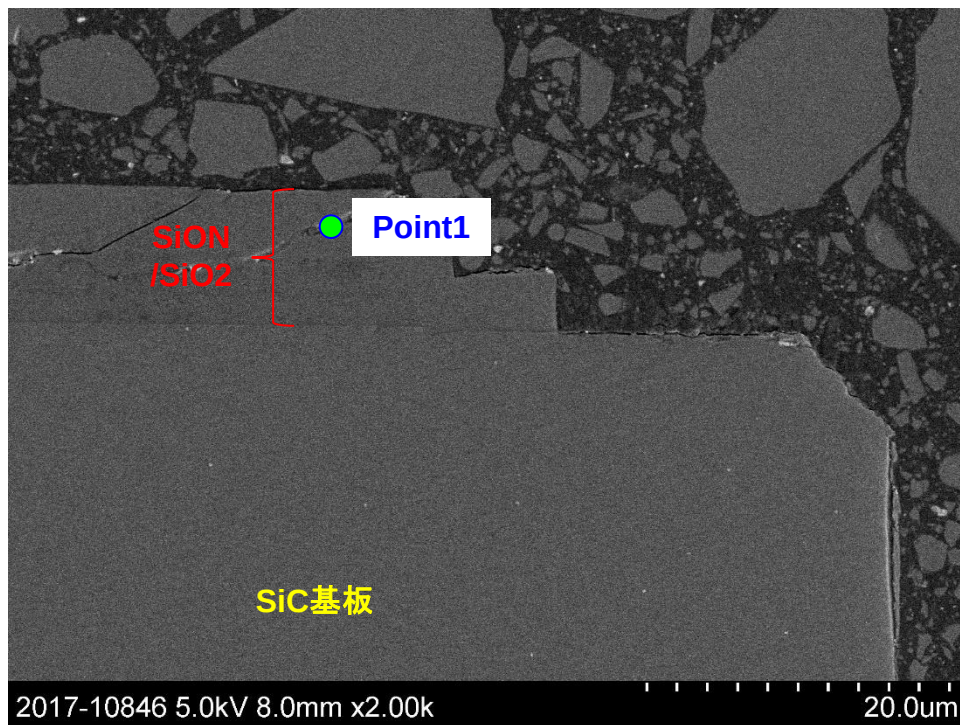
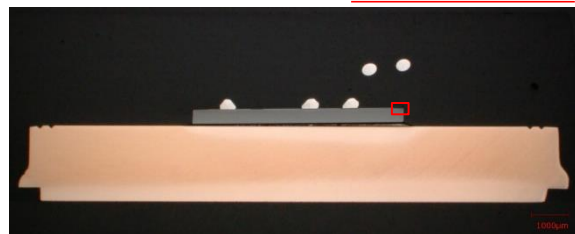


Fig. 4-2-1 EDX分析実施箇所 (Point1)

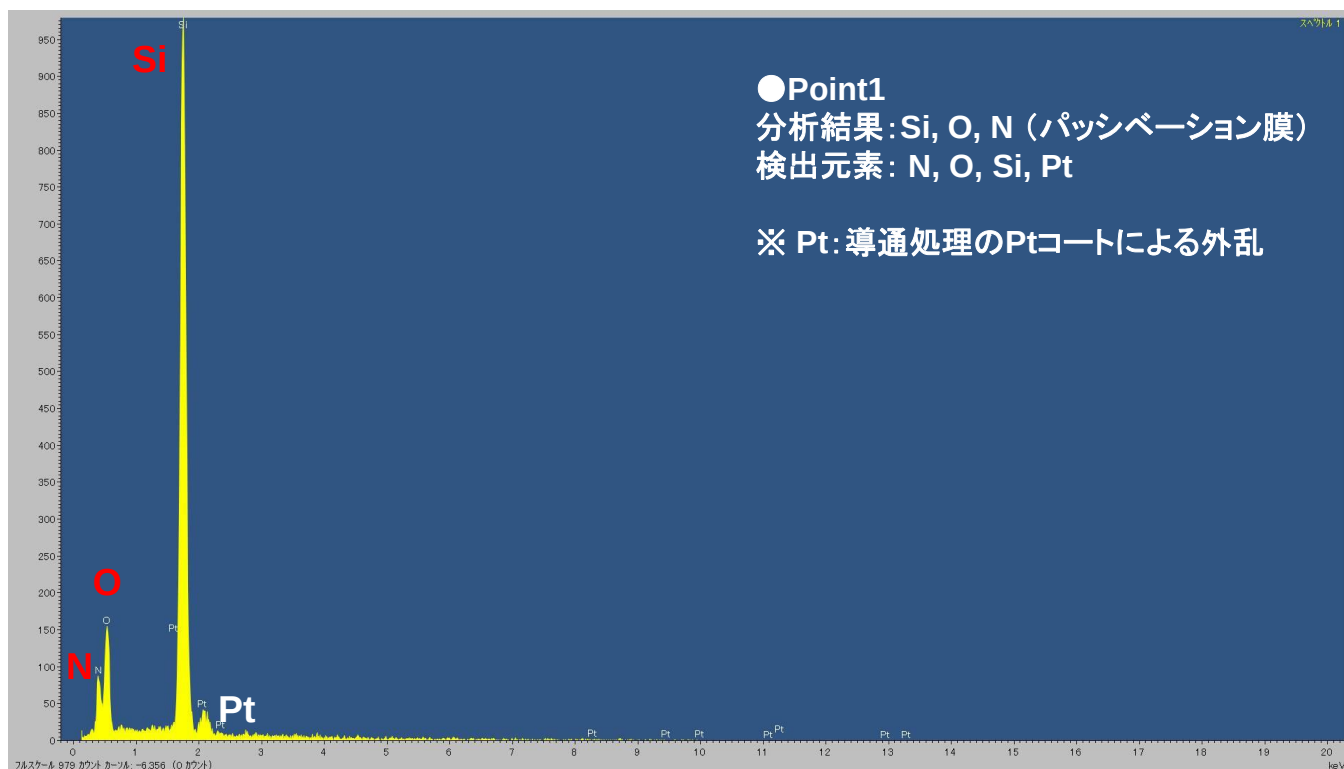


Fig. 4-2-2 EDX分析結果 (Point1)

4. パッケージ解析

4-2. EDX材料分析

Microsemi
APT80SM120B

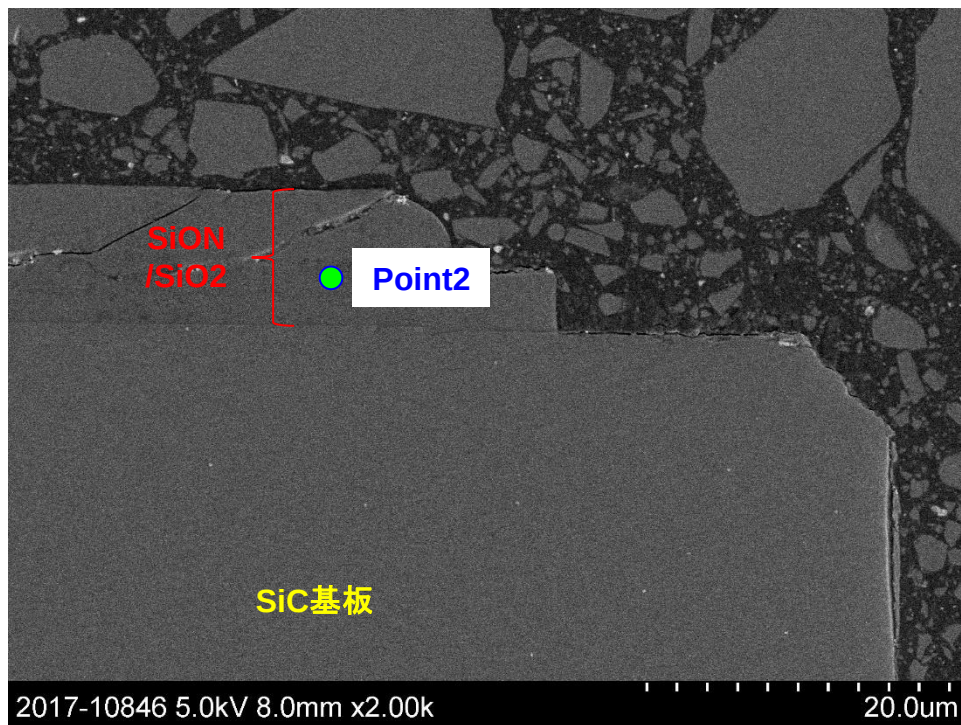
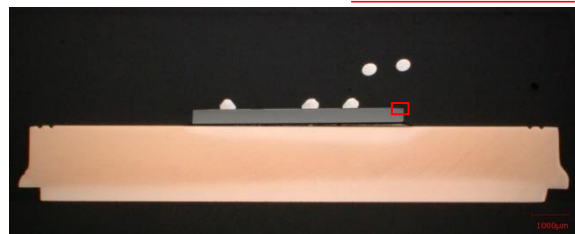


Fig. 4-2-3 EDX分析実施箇所 (Point2)

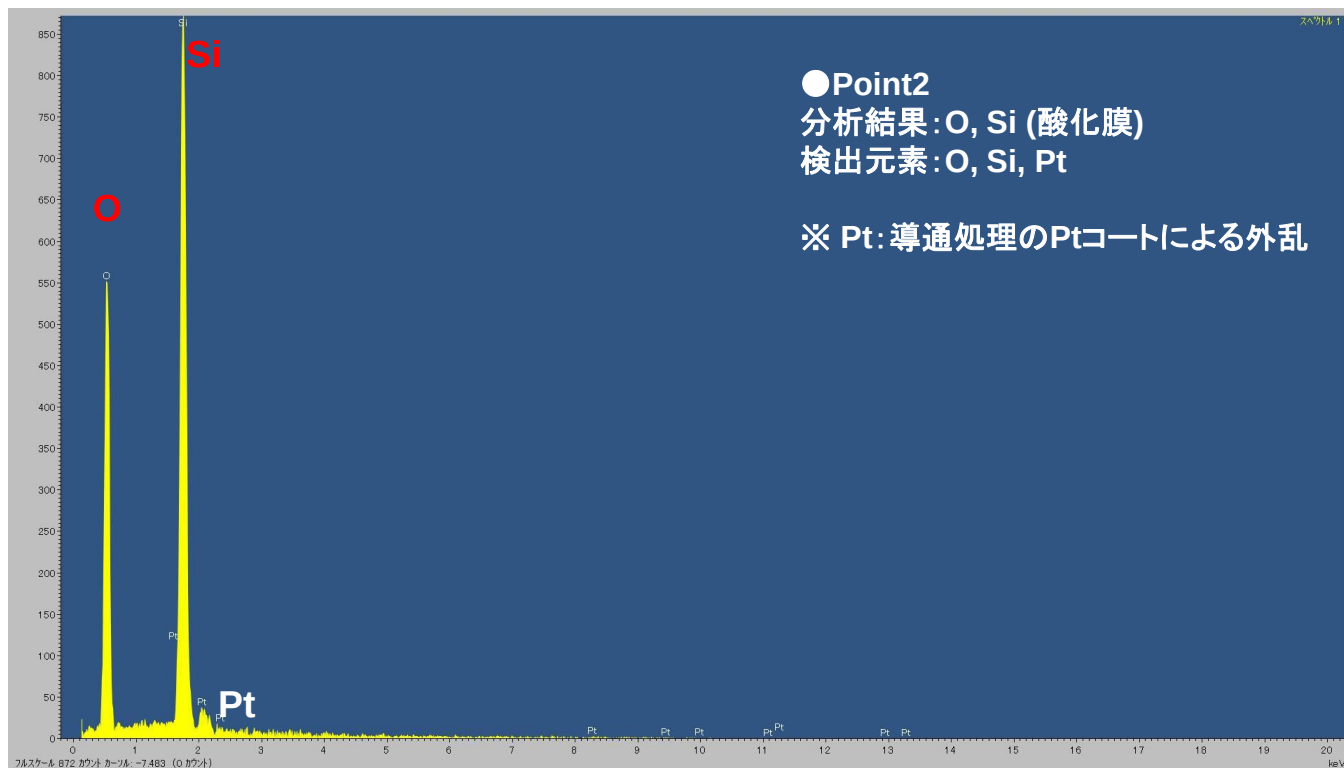


Fig. 4-2-4 EDX分析結果 (Point2)