Microsemi
APT80SM120B

【目　次】			頁

1		Microsemi社のSiC系MOSFET　APT80SM120B 解析結果のまとめ	3
	1.1	SiC MOSFETチップ全体	4
	1.2	チップ端部	5
	1.3	デバイス構造:　SiC MOSFET	6
		トランジスタの模式的な断面図	
		チップ全体断面模式図と模式的なレイアウトパターン	7
2		SiC MOSFET観察	8
	2.1	平面構造解析（SEM）	
		トランジスタの構造・プロセスの特徴（1）－（3）	8
	2.2	断面構造解析（SEM）	12
	2.3	チャネル長Lchを決定するためのN+およびPウェル拡散のセルフアライン形成プロセスの詳細（推定）	13
3		Microsemi社のSiC系MOSFET APT80SM120B解析結果まとめ	14
		表1　デバイス構造：SiC MOSFET	14
		表2　SiC MOSFET構造　:レイヤー材料・膜厚	15
4		プロセスフロー	
	4.1	SiC MOSFETのフロントエンドウェーハプロセスフロー(推定)	16
	4.2	SiC MOSFETのプロセス・シーケンス断面図	17−19
5	5.1	Nーエピ層不純物濃度解析	20
	5.2	デバイス構造と電気特性解析　:ON抵抗	21
	5.3	デバイス構造と電気特性解析:ブレークダウン電圧	22
6		関連文献目録	23
7		関連特許目録	23

1．Microsemi社のSiC系MOSFET　APT80SM120B 解析結果のまとめ

Microsemi APT80SM120B

Microsemi社の1200V、80A「APT80SM120B」単体SiC MOSFETの構造解析結果に基づき、

- ・製造プロセスフローを決定する。
- ・フォト/マスキングのプロセス工程数を見積もる。
- ・トランジスタの重要な特徴を調査する。

注目する結果

1. [redacted]
2. 他[redacted]の
3. [redacted]と
4. 裏[redacted]定
5. 充[redacted]て
6. [redacted]r法で
7. 製[redacted]ノバ

Maker	Part no.	プロセス世代	半導体	Transistor	Vdss [V]	RON [mΩ]	有効 RONxA mΩ・mm2	Intrinsic RONxA mΩ・mm2
ROHM	SCH2080KE	[redacted]						
ROHM	BSM180D12P3C007							
STMicro	SCT30N120							
CREE	CMF10120D							
CREE	C2M0080120D							
WOLFSPEED (CREE)	C3M0075120K							
MICROSEMI	APT80SM120B							

Microsemi
APT80SM120B

1.1　SiC MOSFETチップ全体

5.60 mm x5.60 mm = 31.36 mm2

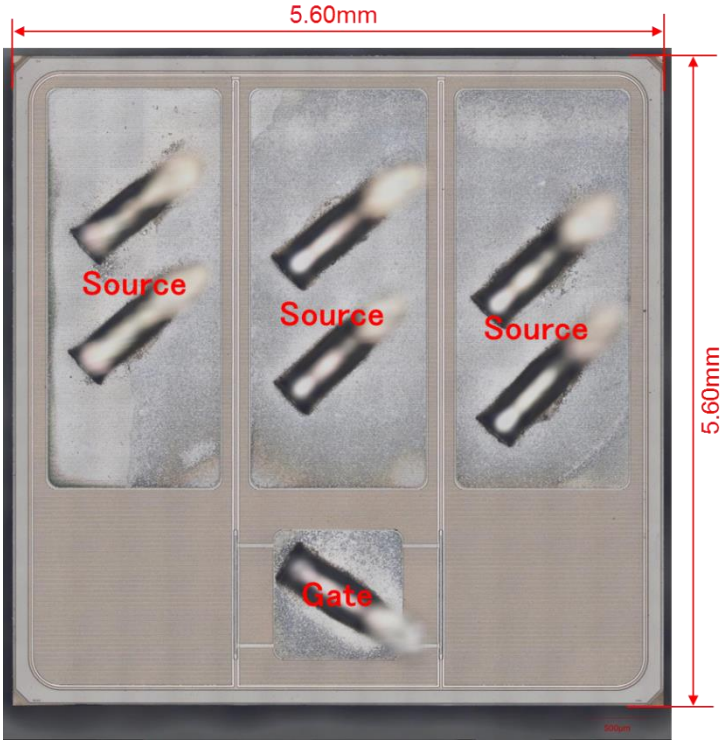


Fig. 1-1 チップ全体像

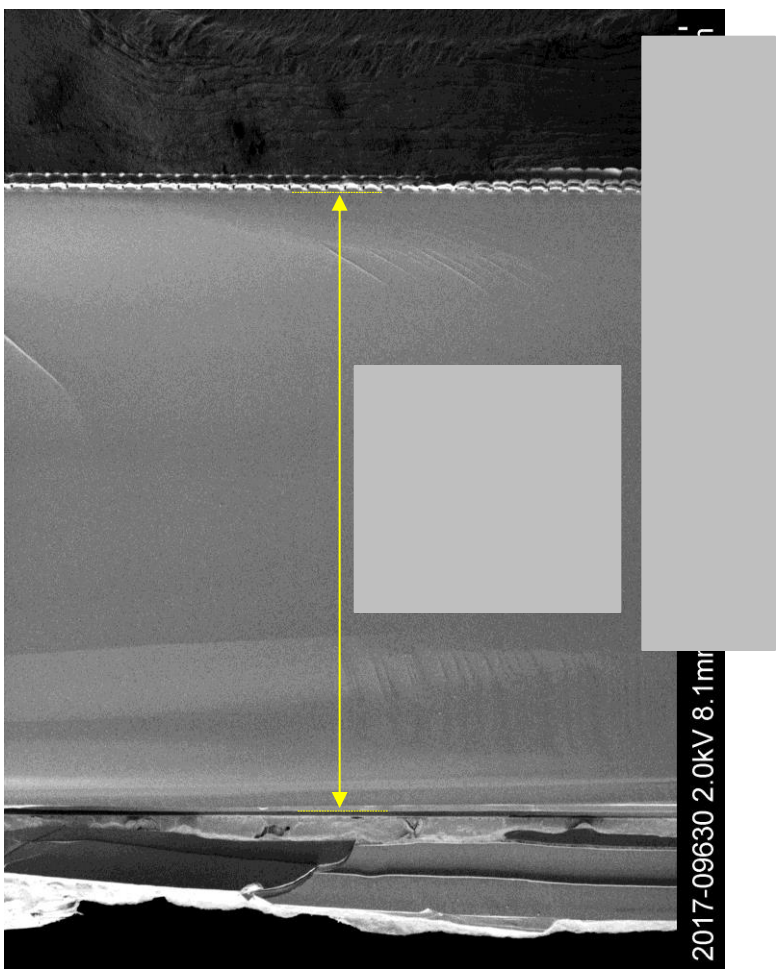


Fig. 1-2 チップ断面像

1.2　チップ端部

Microsemi
APT80SM120B

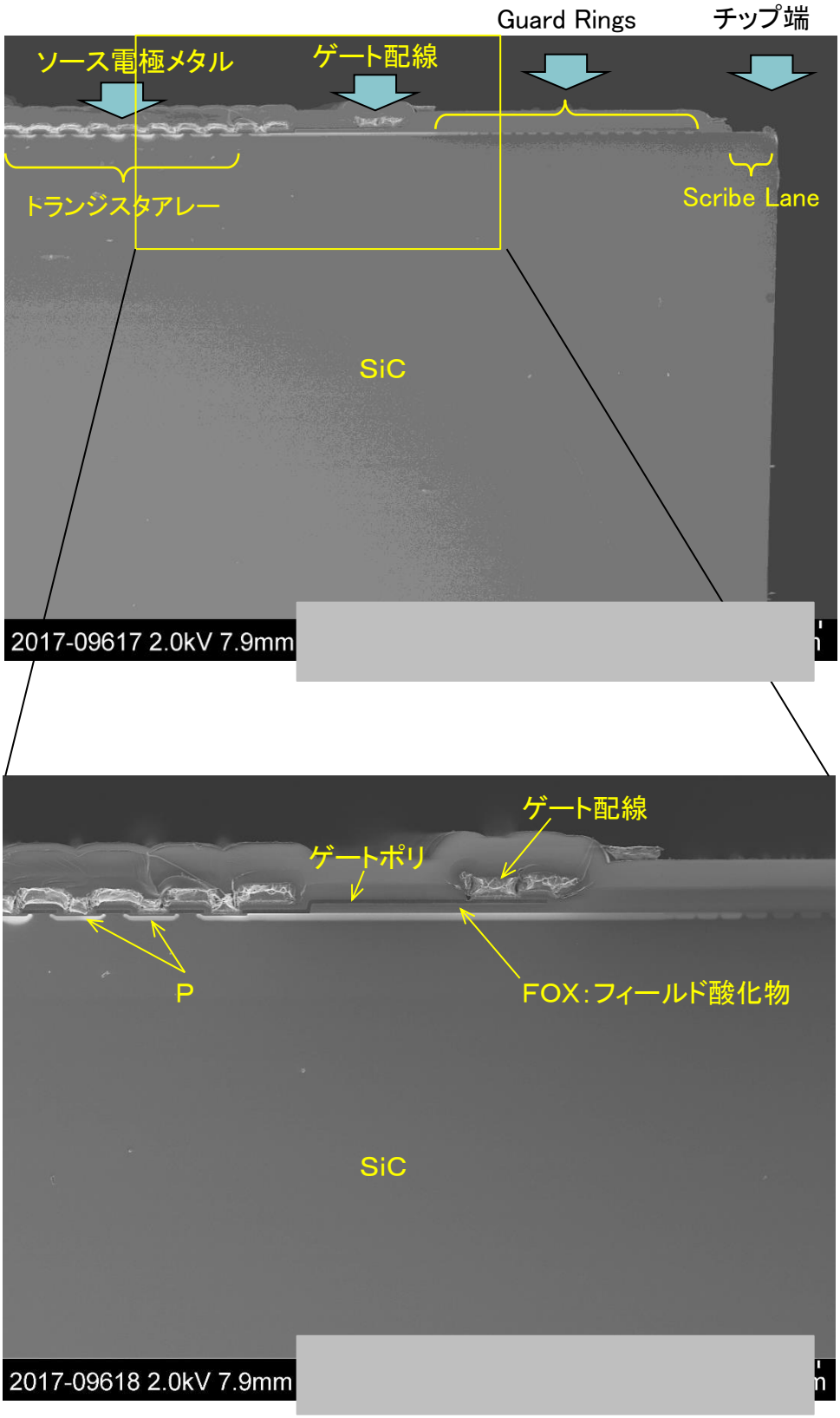


Fig. 1-3 チップ端部断面SEM像

Microsemi
APT80SM120B

1.3 デバイス構造: SiC MOSFET

トランジスタの模式的な断面図

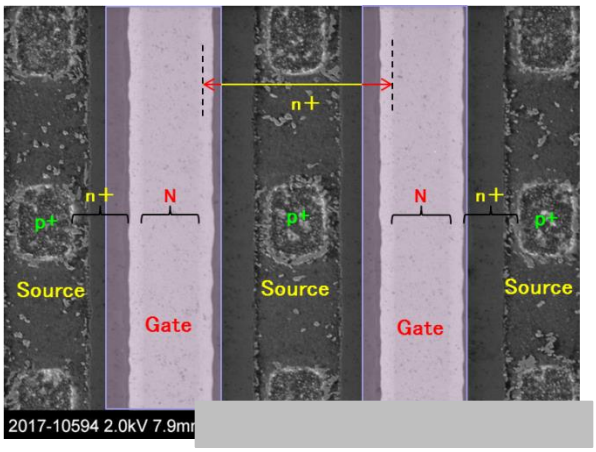


Fig.1-4: SiC MOSFETセルアレイ Stripe形状Planer型トランジスタ

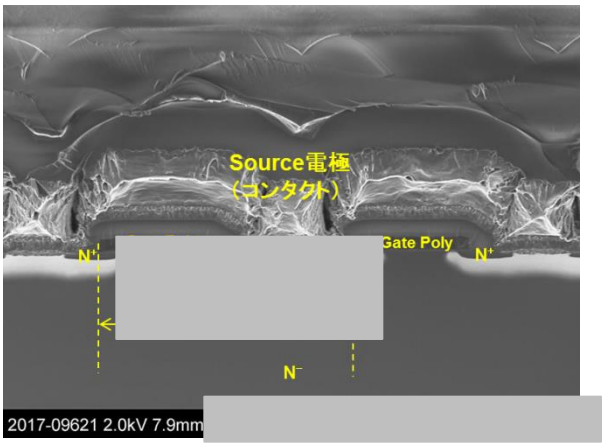
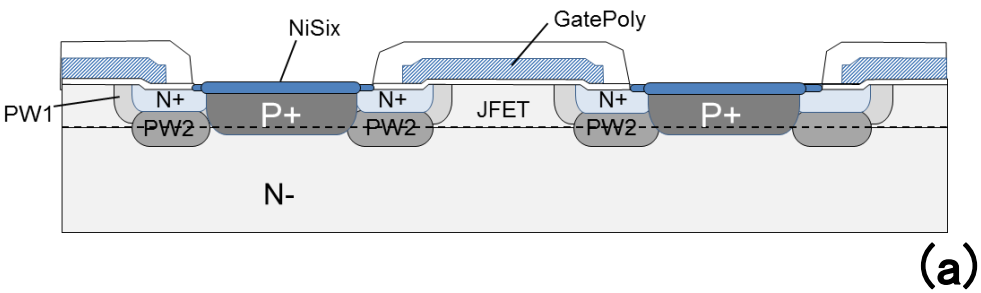


Fig.1-5: SiC MOSFET断面SEM像



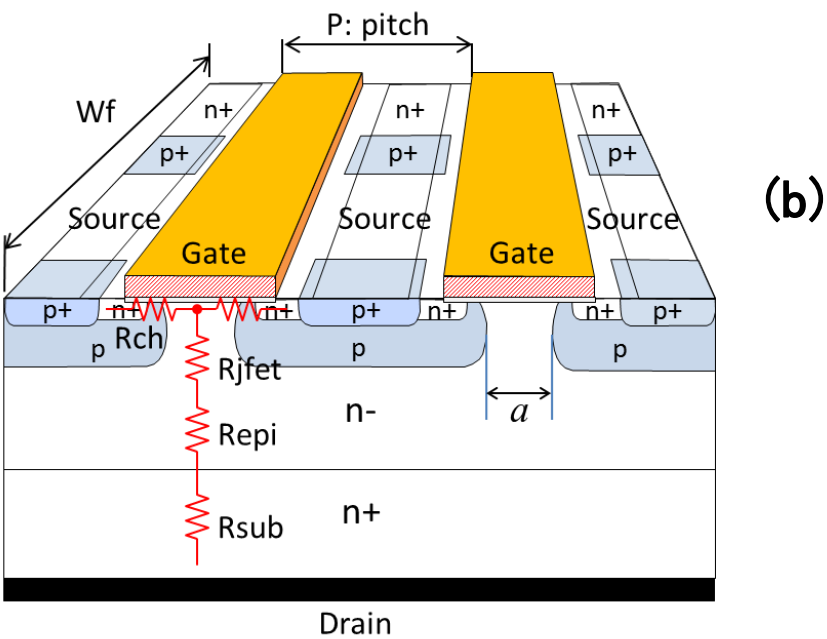
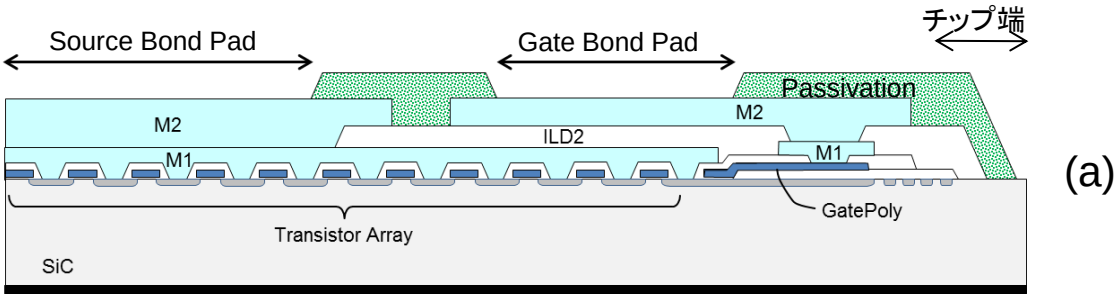


Fig.1-6: (a) SiC MOSFETセル (b) SiC MOSFETアレイ構造の全体模式図

Microsemi
APT80SM120B

1.3 デバイス構造: SiC MOSFET

チップ全体断面模式図と模式的なレイアウトパターン



ダブルメタル層は、パッケージ密度を最大化にするためにソースパッドとゲートパッドに使用されている。⇒アクティブ領域上のゲートパッド。

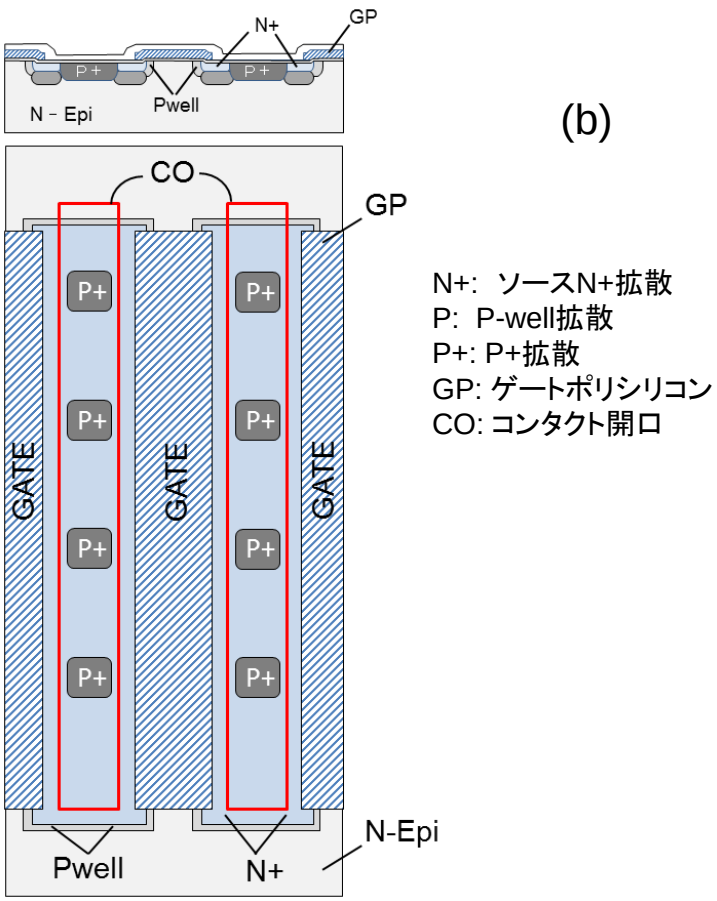


Fig.1-7: SiC MOSFET構成

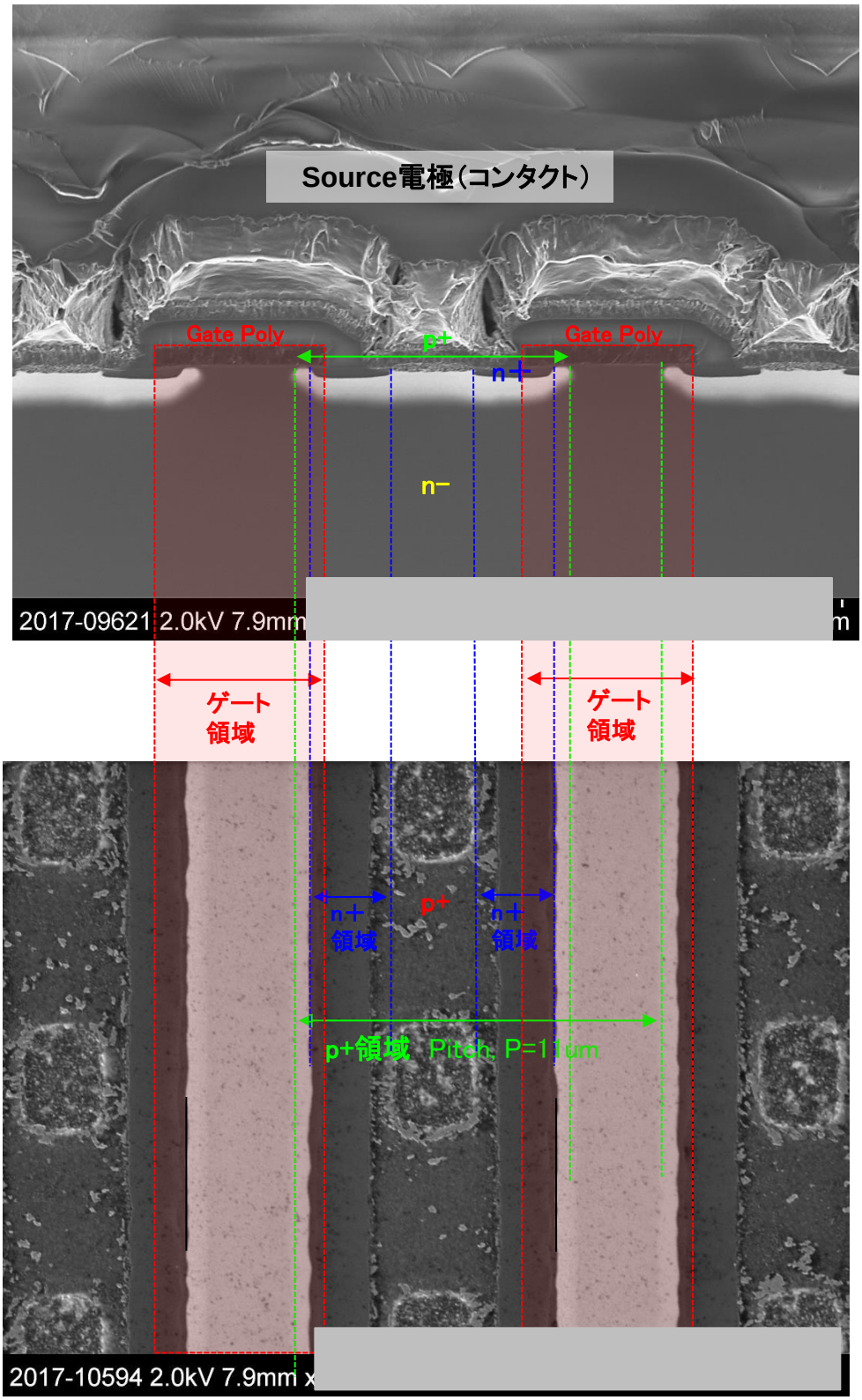
(a) チップ全体断面模式図

(b) 模式的なレイアウトパターン図

2. SiC MOSFET観察

2-1. 平面構造解析（SEM）

トランジスタの構造・プロセスの特徴（1）



(a)

(b)

Fig.2-1　素子部　平面SEM像

（a）セルトランジスタの詳細
（b）11μmセルピッチのトランジスタアレイの詳細

Microsemi
APT80SM120B

トランジスタの構造・プロセスの特徴 (2)

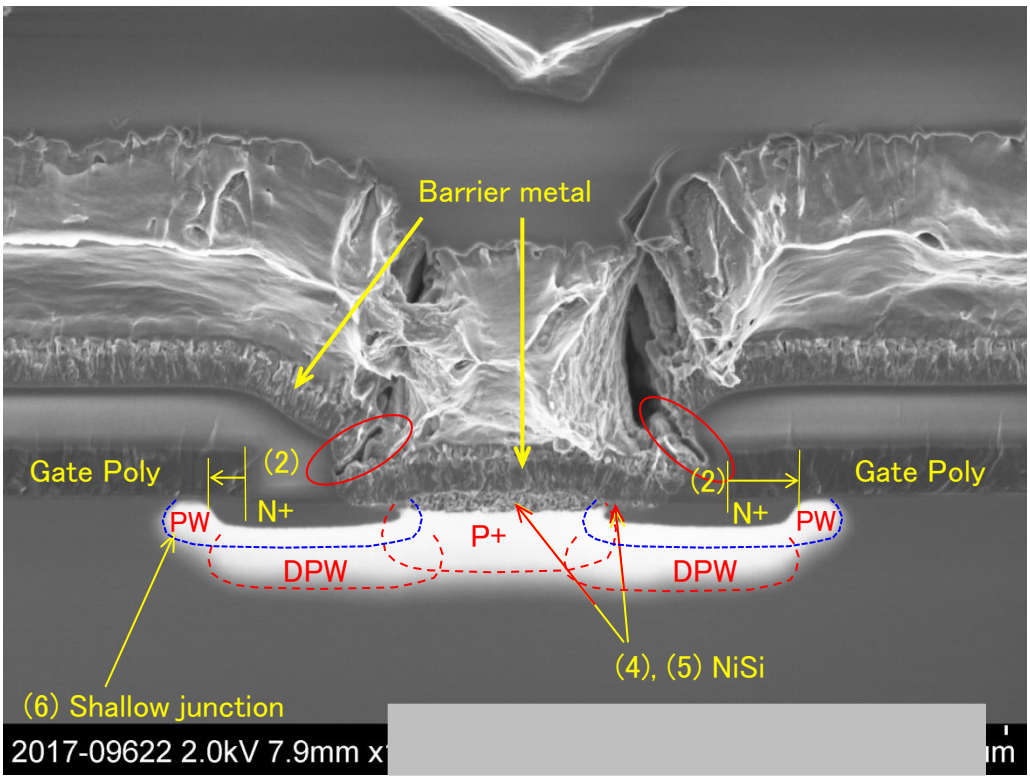


Fig. 2-2　素子部　断面SEM像

1)
2)
3) る。
4) 別される。
5) 。
6)
7)

トランジスタの構造・プロセスの特徴 (3)

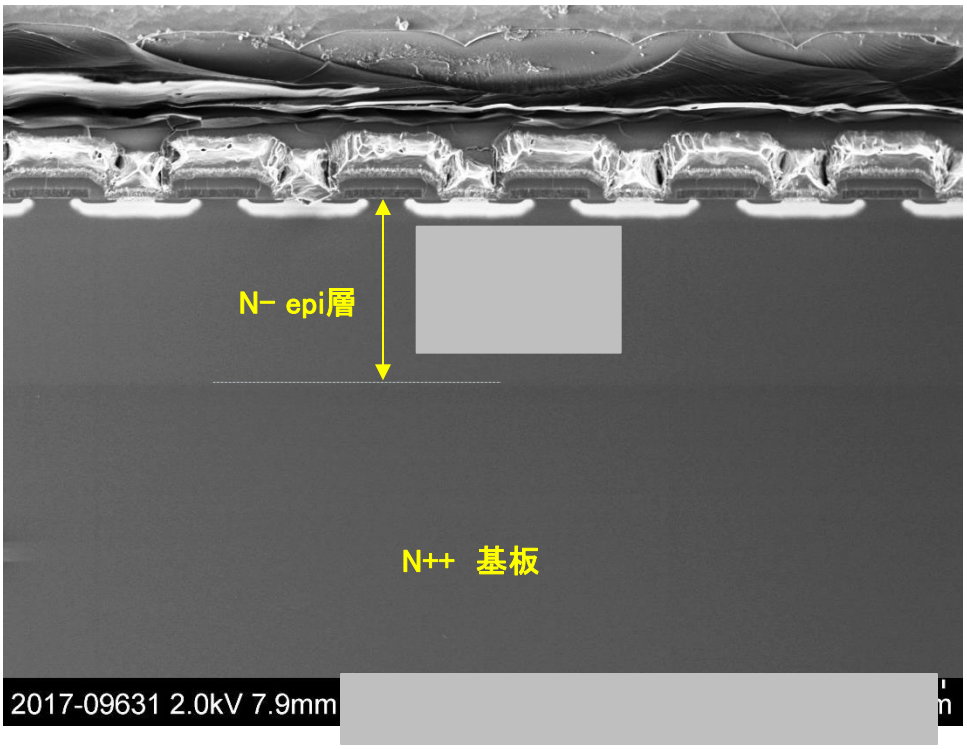
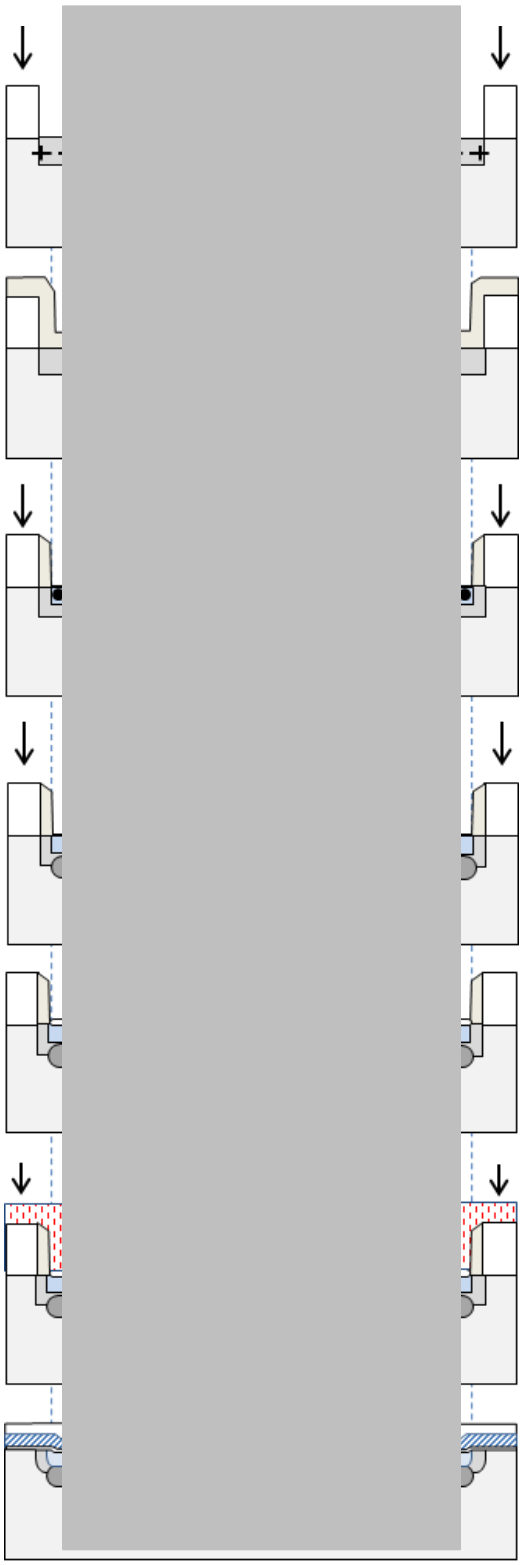


Fig. 2-3　素子部　断面SEM像

12umは、1200V以上の動作ドレイン電圧を維持するために有効な長さである。

2.3　チャネル長Lchを決定するためのN+およびPウェル拡散のセルフアライン形成プロセスの詳細（推定）

◆堆積サイドウォールを使用する場合



trol)

スペーサの幅

ell)

形成

極形成

Microsemi
APT80SM120B

3. Microsemi社のSiC系MOSFET APT80SM120B解析結果まとめ

表 1: デバイス構造: SiC MOSFET

チップサイズ	mm x mm	5.6 x 5.6	P4. Fig1-2参照
チップ面積			
活性領域アレー面積			ガー
トランジスタ面積			
トランジスタアレー構成	1.7		
トランジスタ周辺(不活性領域) 幅			ーン ガー ライ
N- Epi 膜厚			
トランジスタセル構成			
トランジスタセル基本構造（ゲート）			
P-well　深さ/幅			
MOSFETセル ソース･ソースピッチ			
MOSFET チャネル長, Lch			
MOSFET N+/ゲートのオーバーラップ長			
MOSFET ゲート電極幅			
合計のゲート幅　W			
オン抵抗、RON （Typ）			
Intrinsic RON x A (トランジスタ面積)	n		世代
Effective RON x A (チップ面積)	mΩxmm	1250	して いる。

Microsemi
APT80SM120B

表2:　SiC MOSFET構造：　レイヤー材料・膜厚

層の記述	膜厚	材料	プロパティ
ウエハータイプ・構成 (Bulk, Epi)	3 (		
N－　エピ層 ドリフト領域			t/cm^3
P-well拡散深さ			
N＋拡散深さ	(		
ゲート電極構造・材料	5		
ゲート酸化膜	~		
フィールド酸化膜（FOX）			
Salicide Contact	0		照
ソースバリアメタル	(		9.参照
ソースメタル（M1）	3		
ILD1 (ゲート・メタル間)	0		
Padメタル（M2）	5		
ILD2 （M1－M2）	2		照
上部メタル(ソースメタル) パシベーション膜			
チップ裏面メタル	-	NiSi/Ti	報告書17H-0275-1 P65.　P66.参照

Microsemi
APT80SM120B

4. プロセスフロー

4.1 SiCMOSFETのフロントエンドウェーハプロセスフロー(推定)

17H-0275-1のレポートに示される、(a)積層構造、(b)断面図および（c）EDX材料分析に基づいて、次のデバイス製造プロセスシーケンスを推定している。 詳細なプロセスフローの抽出ではなく、正確な分析のためのデバイスの構造/層を認識することが目的である。

Microsemi社のSiC MOSFET　APT80SM120B のプロセス・シーケンス(推定)

マスク	プロセス	コメント
	ウエハー:	SiC N-epi　12um, 4x10^{15}at/cm3/N+ Buffer/ N+ 基板
[1]		
[2]		
[3]		
		um。Vth制御
		ネル長が決定
[4]		
[5]		
[6]		
[7]		
[8]		
[9]		
[10]		
[11]		
[12]		
[13]		
	ダイシング（シンギュレーション）	

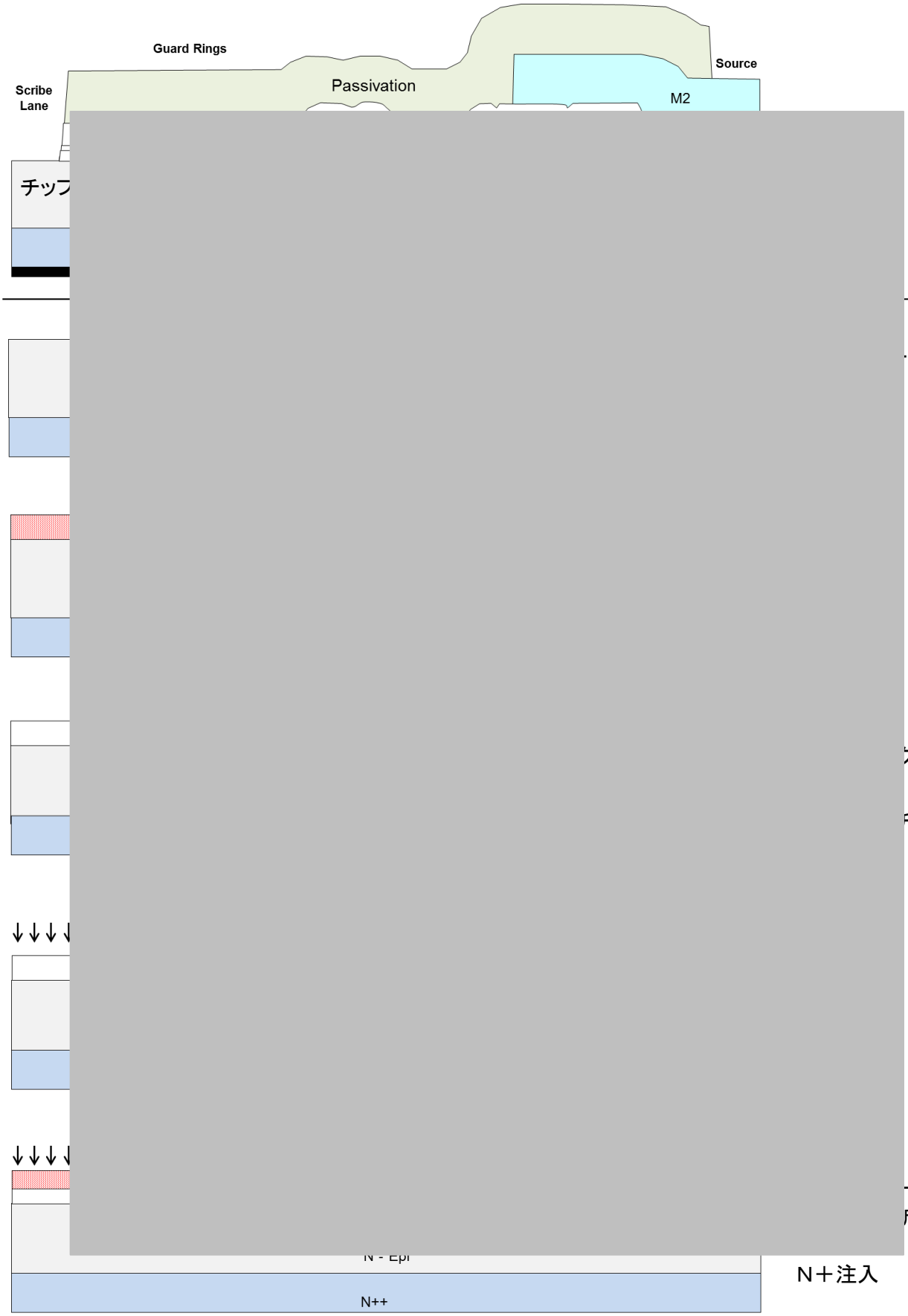
Wafer processing up to back-metallization:　13　photo/masking steps

•チッププロセスレベル: 13枚マスク（層）

4.2 SiC MOSFETのプロセス･シーケンス断面図

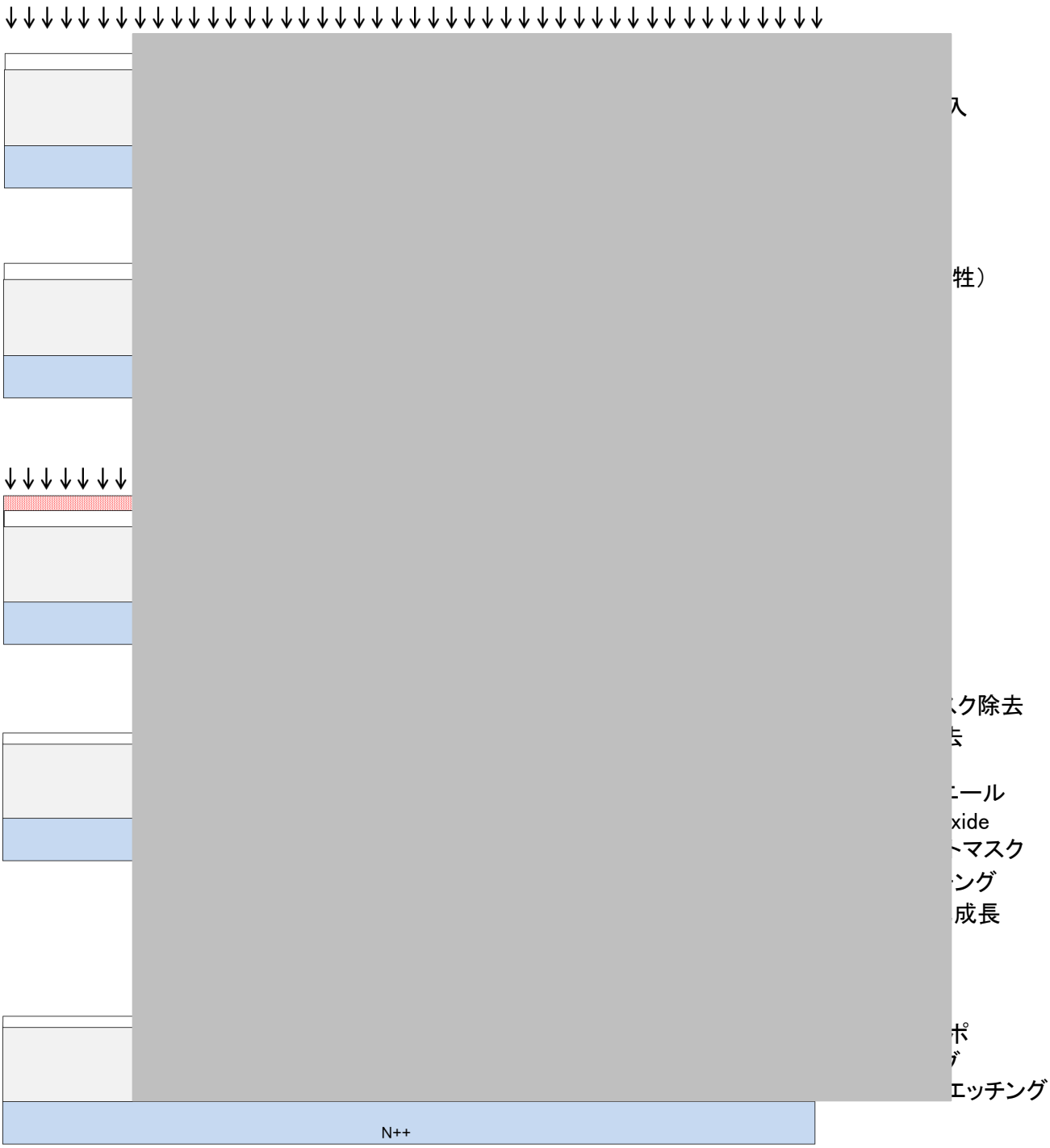
Microsemi APT80SM120B

Microsemi社のAPT80SM120B SiC MOSFETのプロセス･シーケンス(推定)　1



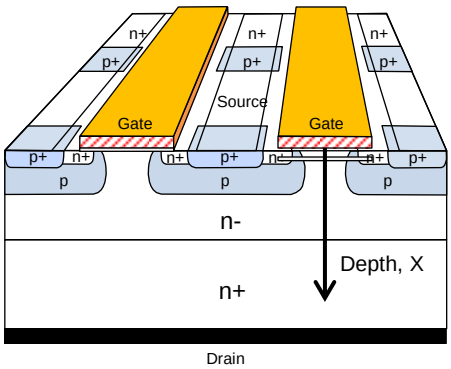
Microsemi社のAPT80SM120B SiC MOSFETのプロセス・シーケンス(推定)　2

Microsemi APT80SM120B

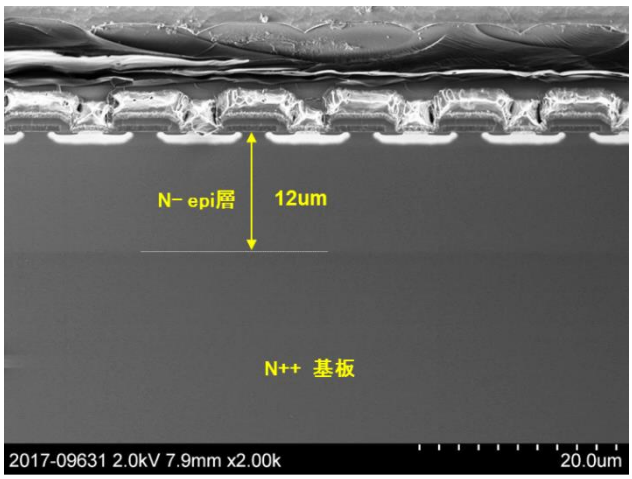


Microsemi
APT80SM120B

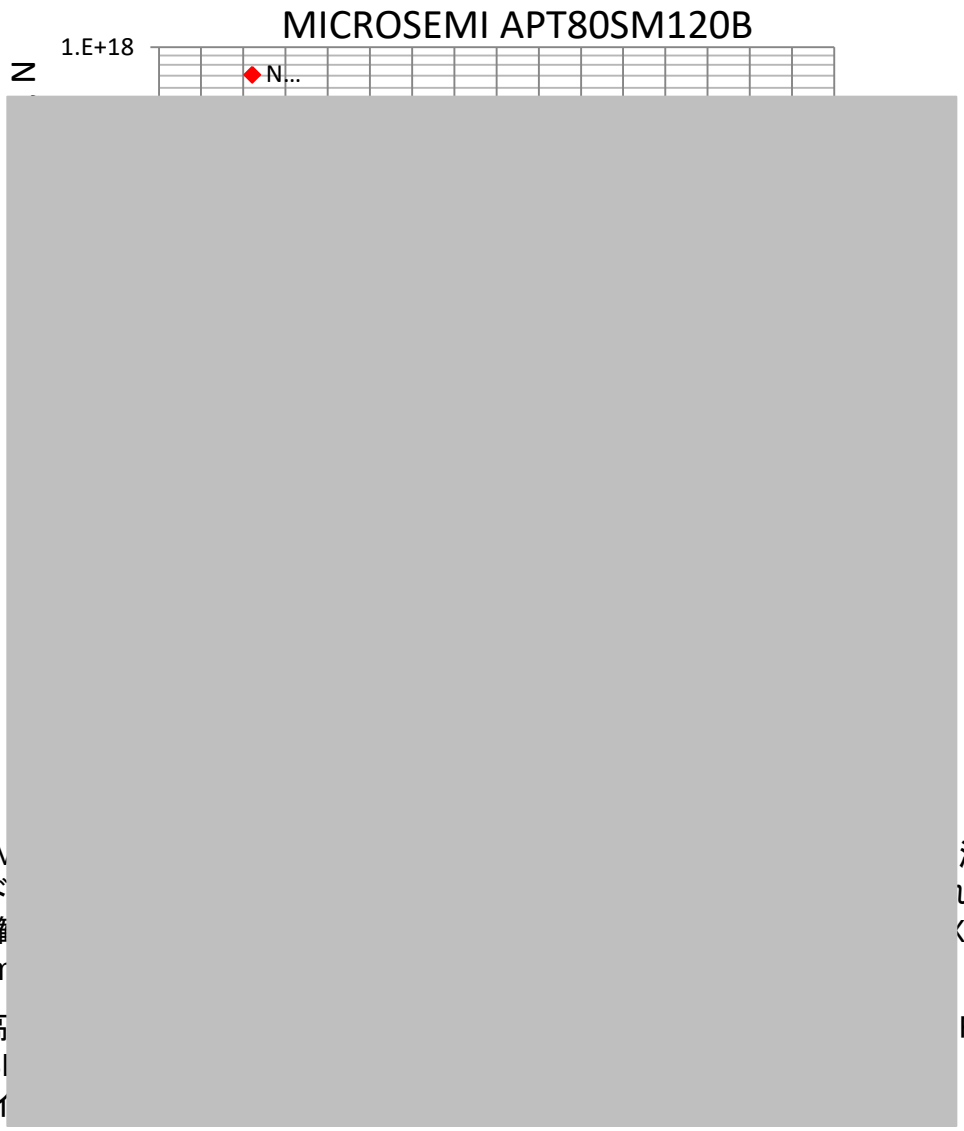
5.1　N－エピ層不純物濃度解析



(a)　プレーナSiC　MOSFETの模式的な透視図



(b) SEM 断面



SiC M　　濃度
(c)。ド　　れる。
SEM観　　(jp～
1.2um

より高　　FET
＝CSI　　この
デバイ

5.2 デバイス構造と電気特性解析: ON抵抗

Microsemi
APT80SM120B

製品:　MICROSEMI社　　APT80SM120B Ver02

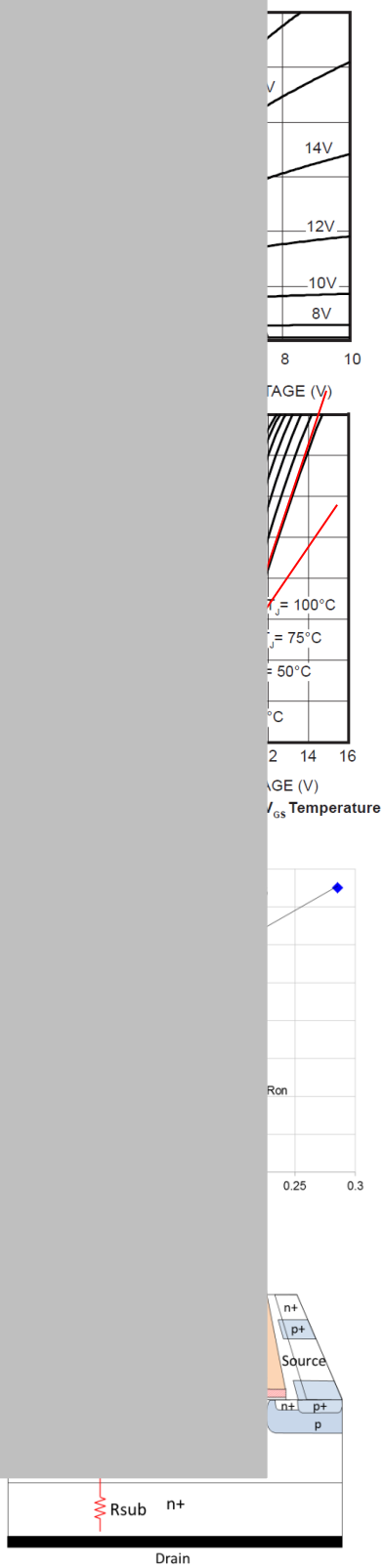
オン抵抗成分は、データシートId-Vds-Vgs特性およびデバイス構造データの

ています。

、Rsub

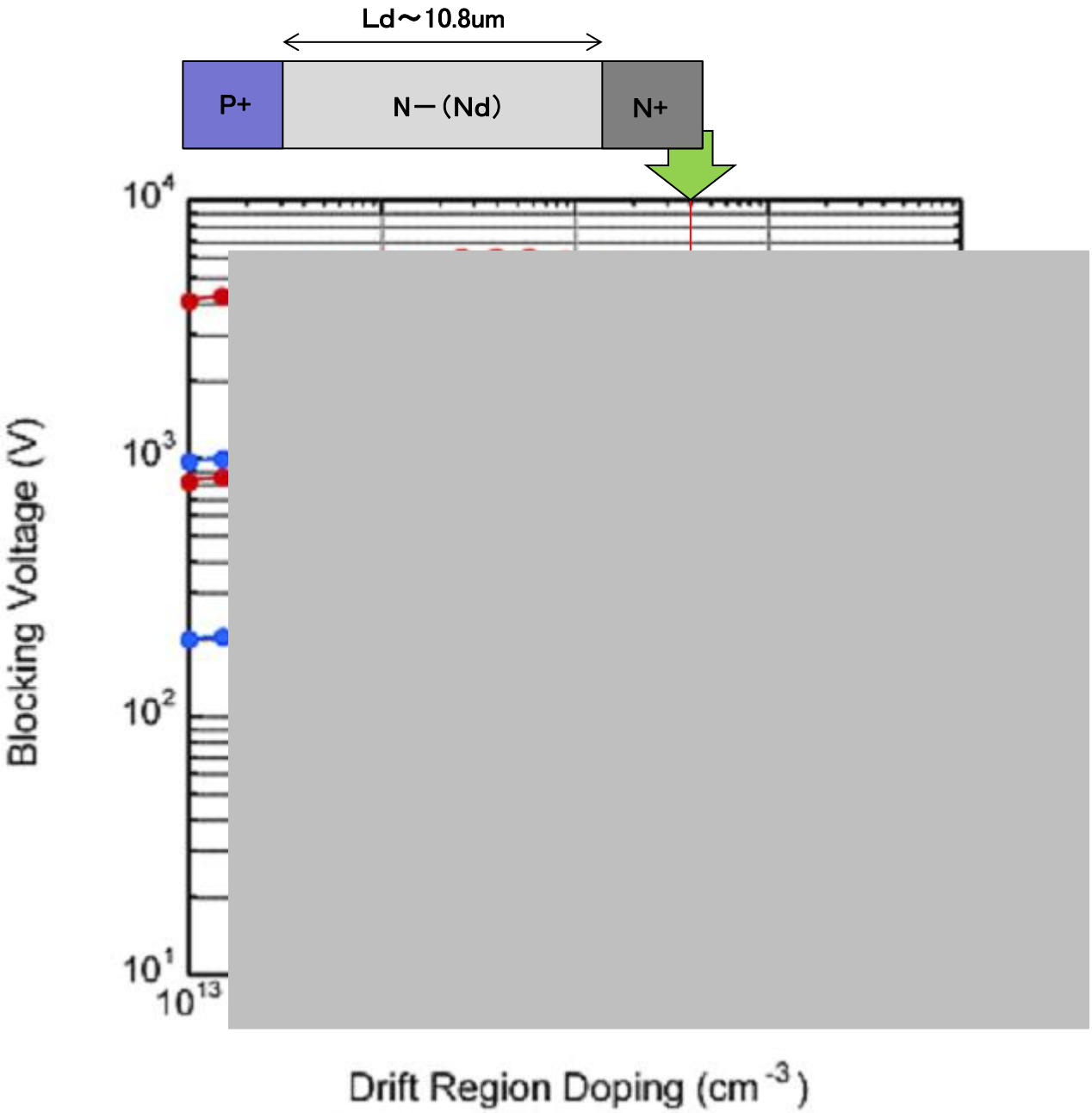
ON RESISTANCE			
Rbco	Back-side Contact Resistance	0.03	mΩ
RONi	Intrinsic ON resistance	32	mΩ
(RONA)i	RONi x A	873	mΩ・mm2
RON	Total ON resistance	37	mΩ

+ 5mΩ（Pkg, etc）



5.3 デバイス構造と電気特性解析:ブレークダウン電圧

Microsemi
APT80SM120B



N－領域のドーピング濃度およびそのエピ厚(Ld)の関数としてのP/N－/N+接合耐圧電圧。Nd = $4x10^{15}$at/cm^3 では、ブレークダウン電圧はBVdss～1500V-1700V