

半導体製品解析報告書

| | |
|--------------|---|
| Revision No. | ;Rev. 1 |
| 品種 | ;Synchronous Step-Down Converter (Silent Switcher) |
| 型番 | ;LT8640-1 |
| メーカー | ;Linear Technology |
| パッケージマーキング | ;551 LGVT J098 |
| ダイマーキング | ;LT ⑩ 2013 8640 DC |
| ダイไซズ | ;1.63mm × 2.80mm = 4.56mm ² |
| プロセス | ;2Poly-3Metal (薄膜抵抗あり) BiCMOS |
| 内容 | ;指定部回路解析 |

ご注意事項

- この報告書は、ご依頼者の調査、解析、開発等の一助になることを目的としています。
- この報告書は、著作権によって保護されます。
- 株式会社エルテック(以下当社)は、ご依頼者に正確で信頼できる情報を提供することを常に努力しております。しかしながら、このレポートに含まれているすべての情報の絶対的な精度を保証することは可能ではありません。
- 当社は、この報告書に含まれていた情報の使用から発生する特許権侵害、契約交渉・訴訟等の不利益の責任を負いません。

株式会社エルテック

本社 兵庫県伊丹市東有岡4丁目42番8号

TEL (072) 787-7385

FAX (072) 787-7382

E-mail contact@ltec.biz

List of Figures and Tables

| | | Page |
|-----------------------------|-------------------------|-------|
| Table 1 | Device Summary | ... 5 |
| <u>1. 解析の目的と比較結果</u> | | |
| 1-1. 目的 | | |
| Fig. 1-1 | Analysis Area | ... 6 |
| 1-2. 比較結果 (レイアウト) | | |
| Fig. 1-2 | レイアウト比較 (Poly-Si Layer) | ... 7 |
| 1-3. 比較結果 (回路図) | | |
| Table 2 | LT8610との回路構成の相違点 | ... 8 |

2. PKG Analysis

| | | |
|----------|--|--------|
| Fig. 2-1 | Package (Top View) | ... 9 |
| Fig. 2-2 | Package (Bottom View) | ... 9 |
| Fig. 2-3 | X-Ray | ... 10 |
| Fig. 2-4 | QFN Package Cross-section (OM image) | ... 11 |
| Fig. 2-5 | QFN Package Cross-section (Zoomed up OM image) | ... 11 |
| Fig. 2-6 | QFN Package Cross-section (SEM image) | ... 12 |
| Fig. 2-7 | QFN Package Cross-section (Zoomed up SEM image) | ... 12 |
| Fig. 2-8 | QFN Package Cross-section (Zoomed up cross-sectional SEM image showing SW-pin lead) | ... 13 |
| Fig. 2-9 | QFN Package Cross-section (Zoomed up cross-sectional SEM image showing Cu-pillar) | ... 13 |

3. Overview

| | | |
|----------|--------------------------------|--------|
| Fig. 3-1 | Die Size (3rd Metal Layer) | ... 14 |
| Fig. 3-2 | Die Marking | ... 14 |
| Fig. 3-3 | Die Overview (3rd Metal Layer) | ... 15 |
| Fig. 3-4 | Die Overview (2nd Metal Layer) | ... 16 |
| Fig. 3-5 | Die Overview (1st Metal Layer) | ... 17 |
| Fig. 3-6 | Die Overview (Poly-Si Layer) | ... 18 |
| Fig. 3-7 | Pin Assignment (Top View) | ... 19 |
| Fig. 3-8 | Pin Assignment (X-Ray) | ... 19 |
| Fig. 3-9 | Pin Assignment (Die Overview) | ... 20 |

4. Elements

| | | | |
|-----------|---|-----|----|
| Fig. 4-1 | MOS-Transistor | ... | 21 |
| Fig. 4-2 | LDMOS-Transistor1 | ... | 22 |
| Fig. 4-3 | LDMOS-Transistor2 | ... | 23 |
| Fig. 4-4 | HVMOS-Transistor1 | ... | 24 |
| Fig. 4-5 | HVMOS-Transistor2 | ... | 25 |
| Fig. 4-6 | HVMOS-Transistor3 | ... | 26 |
| Fig. 4-7 | HVMOS-Transistor4 (ESD Protection) | ... | 27 |
| Fig. 4-8 | Bipolar-Junction-Transistor (NPN-Type) | ... | 28 |
| Fig. 4-9 | Poly-Si Resistor | ... | 29 |
| Fig. 4-10 | Diffusion Resistor1 | ... | 29 |
| Fig. 4-11 | Diffusion Resistor2 | ... | 29 |
| Fig. 4-12 | Thin Film Resistor | ... | 30 |
| Fig. 4-13 | Well Resistor | ... | 30 |
| Fig. 4-14 | Diode | ... | 31 |
| Fig. 4-15 | Poly-Si / Insulator / Poly-Si Capacitor | ... | 31 |
| Fig. 4-16 | Poly-Si / Insulator / Diffusion Capacitor | ... | 31 |
| Fig. 4-17 | Metal-Insulator-Metal Capacitor1 | ... | 32 |
| Fig. 4-18 | Metal-Insulator-Metal Capacitor2 | ... | 32 |
| Fig. 4-19 | Test Pad | ... | 33 |
| Fig. 4-20 | Cell Parameters | ... | 34 |

5. Analysis Area

| | | | |
|----------|---|-----|----|
| Fig. 5-1 | Analysis Area | ... | 35 |
| Table 3 | Function | ... | 35 |
| Fig. 5-2 | Functional Block Diagram (vs Datasheet) | ... | 36 |

6. Circuits

| | | | |
|------------|---|-----|----|
| Fig. 6 | Top Block | ... | 37 |
| Fig. 7 | Error Amplifier Block | ... | 38 |
| Fig. 7-1 | Error Amplifier | ... | 39 |
| Fig. 7-1-1 | Switch Circuit1 | ... | 40 |
| Fig. 7-2 | Limit Circuit | ... | 41 |
| Fig. 7-3 | Burst Detect | ... | 42 |
| Fig. 7-4 | Window Comparator | ... | 43 |
| Fig. 7-4-1 | Comparator1 | ... | 44 |
| Fig. 7-4-2 | Comparator2 | ... | 45 |
| Fig. 7-4-3 | Over Voltage Detector for FB | ... | 46 |
| Fig. 8 | Oscillator Block | ... | 47 |
| Fig. 8-1 | Frequency Control | ... | 48 |
| Fig. 8-1-1 | Amplifier1 | ... | 49 |
| Fig. 8-1-2 | Amplifier2 | ... | 50 |
| Fig. 8-1-3 | Variable Capacitor | ... | 51 |
| Fig. 8-2 | Comparator Block | ... | 52 |
| Fig. 8-2-1 | Comparator3 | ... | 53 |
| Fig. 8-2-2 | Unused Circuit | ... | 54 |
| Fig. 8-3 | OSC Output | ... | 55 |
| Fig. 8-4 | Triangle wave Generator for Spread Spectrum | ... | 56 |
| Fig. 8-4-1 | Comparator4 | ... | 57 |
| Fig. 8-4-2 | Signal Buffer | ... | 58 |
| Fig. 8-5 | SYNC Buffer | ... | 59 |
| Fig. 8-6 | Mode Select1 | ... | 60 |
| Fig. 8-7 | Mode Select2 | ... | 61 |
| Fig. 8-8 | OSC Control | ... | 62 |
| Fig. 8-9 | BIAS Generator1 | ... | 63 |

| | Page | |
|-------------------|---|------------|
| Fig. 9 | Control Logic and SW Driver | 64 |
| Fig. 9-1 | H-Side Control and Level Shifer | 65 |
| Fig. 9-2 | H-Side Pre-Driver | 66 |
| Fig. 9-2-1 | Switch Circuit2 | 67 |
| Fig. 9-2-2 | Switch Circuit3 | 68 |
| Fig. 9-3 | L-Side Control | 69 |
| Fig. 9-3-1 | Delay1 | 70 |
| Fig. 9-3-2 | Delay2 | 71 |
| Fig. 9-4 | L-Side Pre-Driver | 72 |
| Fig. 9-4-1 | Switch Circuit4 | 73 |
| Fig. 9-5 | SW Driver | 74 |
| Fig. 9-6 | BIAS Generator for H-Side Control | 75 |
| Fig. 9-7 | Logic for H-Side Current Detect | 76 |
| Fig. 9-7-1 | Current Source | 77 |
| Fig. 9-8 | Bypass Driver | 78 |
| Fig. 9-9 | Inrush Current Protection for INTVcc | 79 |
| Fig. 9-10 | Inrush Current Protection for BST | 80 |
| Fig. 10 | Current Det and Slope Comp | 81 |
| Fig. 10-1 | Transimpedance Amplifier | 82 |
| Fig. 10-2 | H-Side Current Detector | 83 |
| Fig. 10-3 | Signal Adder | 84 |
| Fig. 10-4 | Current Source for Slope Compensation1 | 85 |
| Fig. 10-5 | Current Source for Slope Compensation2 | 86 |
| Fig. 10-6 | Slope Comparator | 87 |
| Fig. 10-7 | VREF Generator | 88 |
| Fig. 10-8 | FB Level Detector | 89 |
| Fig. 10-9 | Comparator5 | 90 |
| Fig. 10-10 | Circuit1 | 91 |
| Fig. 11 | Negative Current Detect Block | 92 |
| Fig. 11-1 | Switch Circuit5 | 93 |
| Fig. 11-2 | Comparator6 | 94 |
| Fig. 11-3 | Comparator7 | 95 |
| Fig. 11-4 | BIAS Generator2 | 96 |
| Fig. 11-5 | Circuit2 | 97 |
| Fig. 12 | VIN1 Level Detector | 98 |
| Cells List | | 99~132 |

Appendix

| | | |
|------------------|--|-----|
| Table A-1 | DC-DCコンバータ製品比較 | A-1 |
| Fig. A-1 | Package外観写真とX線写真の比較結果 | A-2 |
| Fig. A-2 | スイッチングトランジスタのレイアウト差異による大電流ループの比較図 | A-3 |

Table 1 Device Summary

| | |
|---------------------|---|
| Category | Synchronous Step-Down Converter (Silent Switcher) |
| Product Name | LT8640-1 |
| Manufacturer | Linear Technology |
| Package Type | 18-LEAD PLASTIC QFN |
| Package Marking | 551 LGVT J098 |
| Die Marking | LT ⑩ 2013 8640 DC |
| Die Size | 1.63mm X 2.80mm = 4.56mm ² |
| Process Type | BiCMOS |
| Layers | 2Poly—3Metal (薄膜抵抗あり) |
| Minimum Gate Length | 0.5um |

1. 解析目的と比較結果

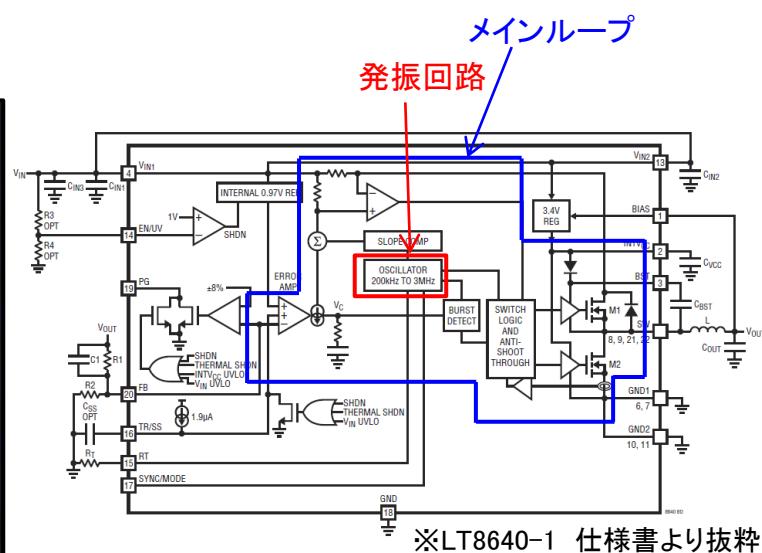
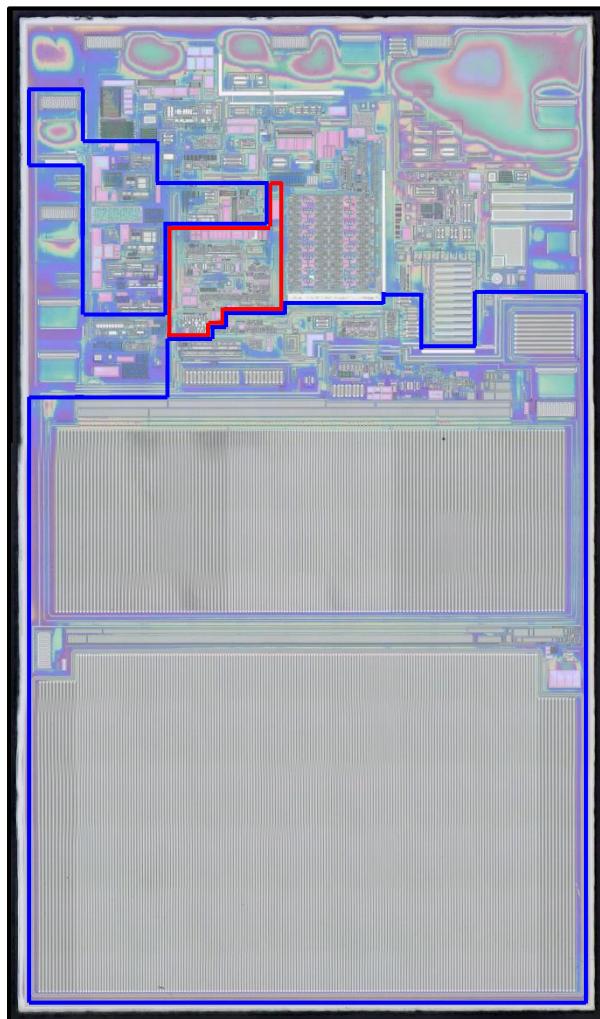
1-1. 目的

本報告書の目的は、リニアテクノロジー社のDC-DCコンバータLT8640-1の発振器並びにメインループの回路解析を行い、LT8640-1より実装されたスペクトラム拡散変調がどのような回路構成で実現しているか、またそれがどのように他の回路に関与しているかを明らかにすることである。

また、別レポートのLT8610の回路解析結果と本結果の比較も行う。

※弊社ではLT8610、LT8614、LT8640-1のプロセス構造における比較レポートも販売しておりますので、お問い合わせください。

*レイアウトについては次頁を参照



※LT8640-1 仕様書より抜粋

□：発振回路

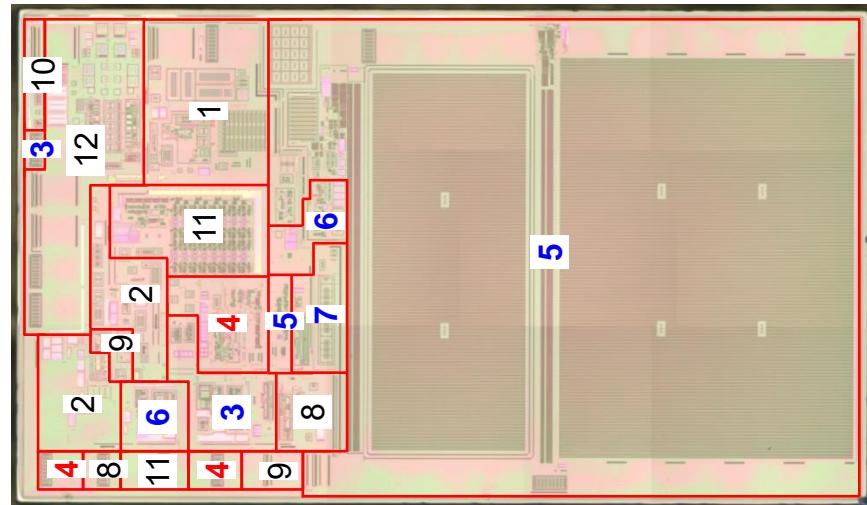
□: メインループ

Fig. 1-1 Analysis Area

1-2. 比較結果 (レイアウト)

※LT8610と比較するとLT8640-1は、テスト回路に大幅な変更があるものの、
主にメインループや発振回路のレイアウトに変更点が多くみられる。
⇒回路解析箇所はメインループと発振回路とした。

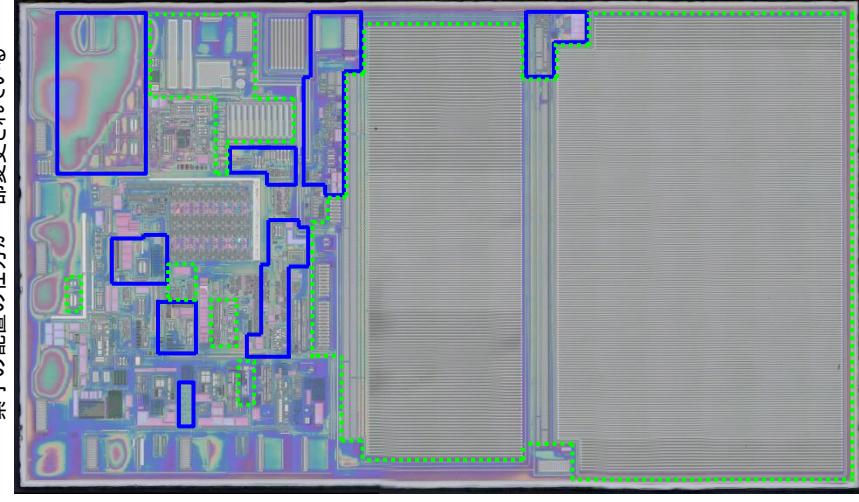
※赤字は発振回路、青字はメインループのレイアウト



※LT8610解析結果より抜粋
(表のNo.は右のレイアウトに対応)

| No. | Function | Fig. |
|----------|--------------------------------------|----------------|
| 1 | INTVcc Generator | Fig.2-1 |
| 2 | VREF Generator Block | Fig.2-2 |
| 3 | Error Amplifier Block | Fig.3 |
| 4 | Oscillator Block | Fig.4 |
| 5 | Control Logic and SW Driver | Fig.5 |
| 6 | Current Det and Slope Comp | Fig.6-1 |
| 7 | Negative Current Detect Block | Fig.6-2 |
| 8 | TR SS Voltage Detector Block | Fig.7-1 |
| 9 | SHDN Circuit | Fig.7-2 |
| 10 | Open Drain Output | Fig.7-3 |
| 11 | Memory Block | Fig.8-1 |
| 12 | Test Circuit | Fig.8-2 |

発振回路
+
メインループ



LT8640-1 レイアウト

Fig. 1-2 レイアウト比較 (Poly-Si Layer)

1-3. 比較結果(回路図)

Table 2 LT8610との回路構成の相違点

| Fig番 | 回路図ページ | LT8640-1 回路機能(メインループのみ) | LT8610との主な回路変更点 | 変更による効果 |
|---------|--------|----------------------------|--|-----------------------------|
| Fig. 7 | P. 38 | Error Amplifier Block | 素子構造に一部変更はあるが、同等の回路構成。 →ペネルニ/ナシ基板二名:出力回路のみバッカ | |
| Fig. 8 | P. 47 | | | △周を -の EL 過の de |
| Fig. 9 | P. 64 | | | |
| Fig. 10 | P. 81 | | | |
| Fig. 11 | P. 92 | | | |

※実際の回路図は本書P. 37以降を参照。

2. PKG Analysis



Fig. 2-1 Package (Top View)

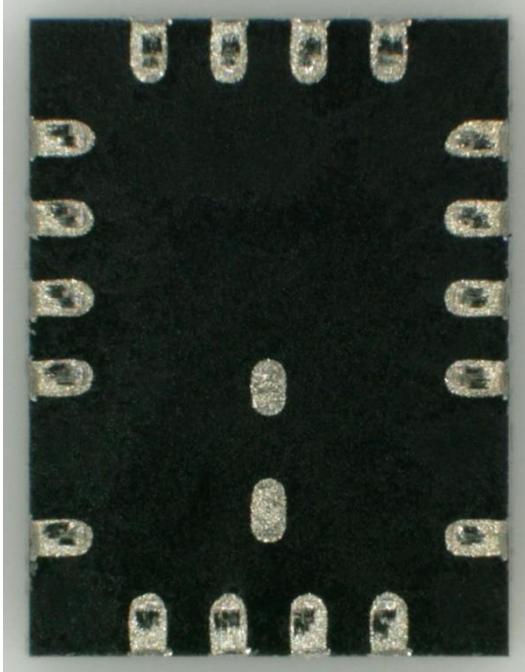
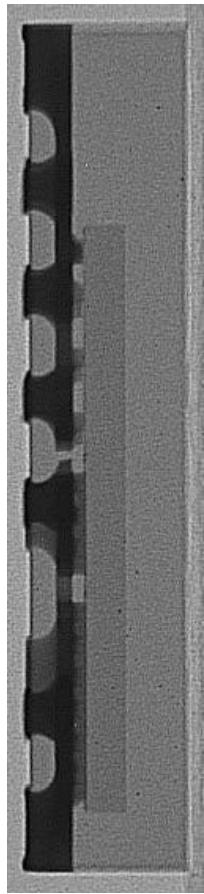


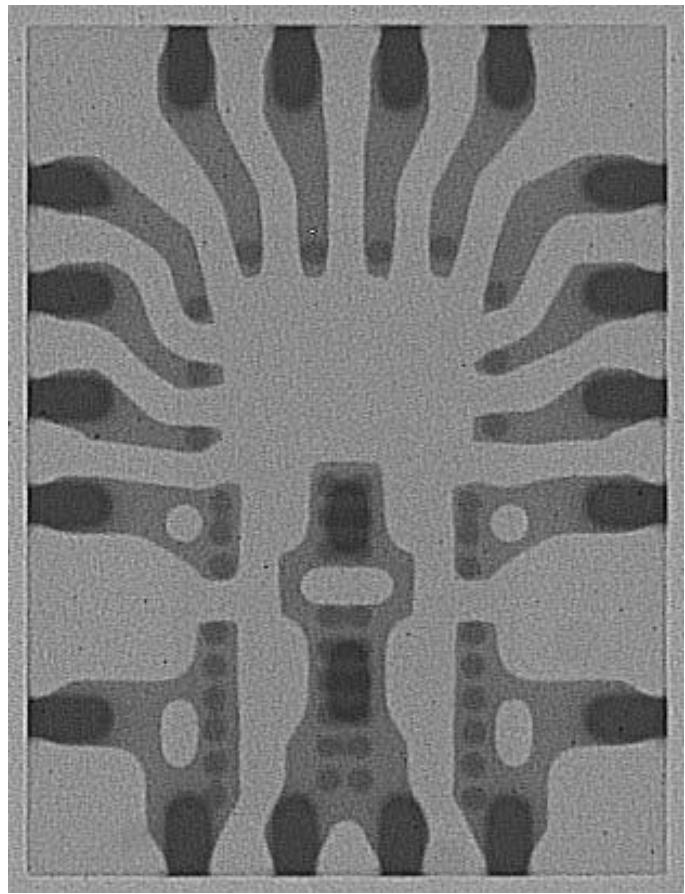
Fig. 2-2 Package (Bottom View)

● 1Pin

*Packageの表面側から観察



Side View



Plan View

Fig. 2-3 X-Ray

※Flip-Chip 実装である

●1Pin

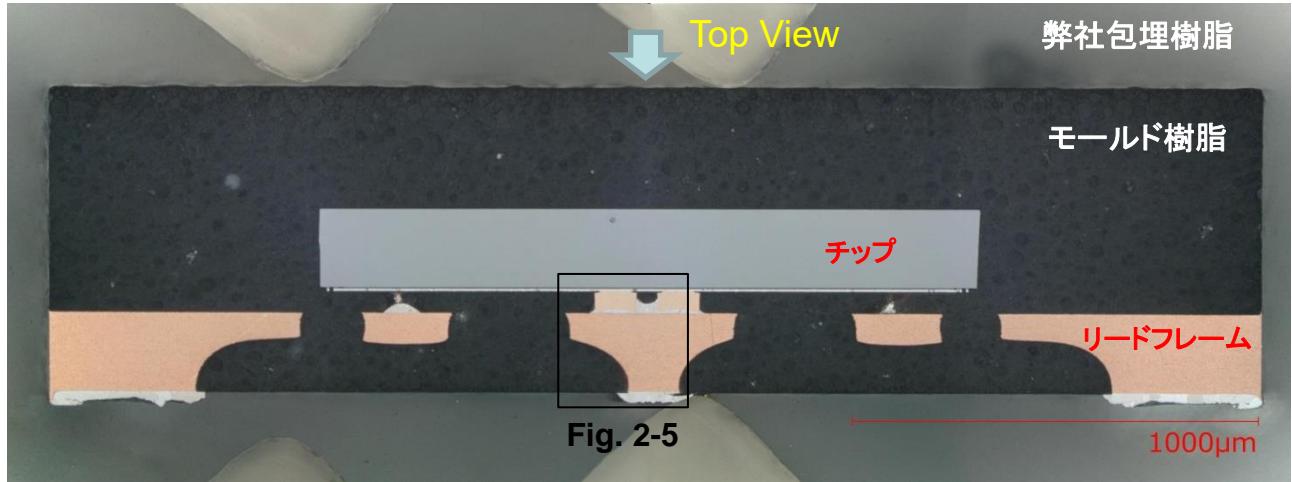


Fig. 2-4 QFN Package Cross-section (OM image)

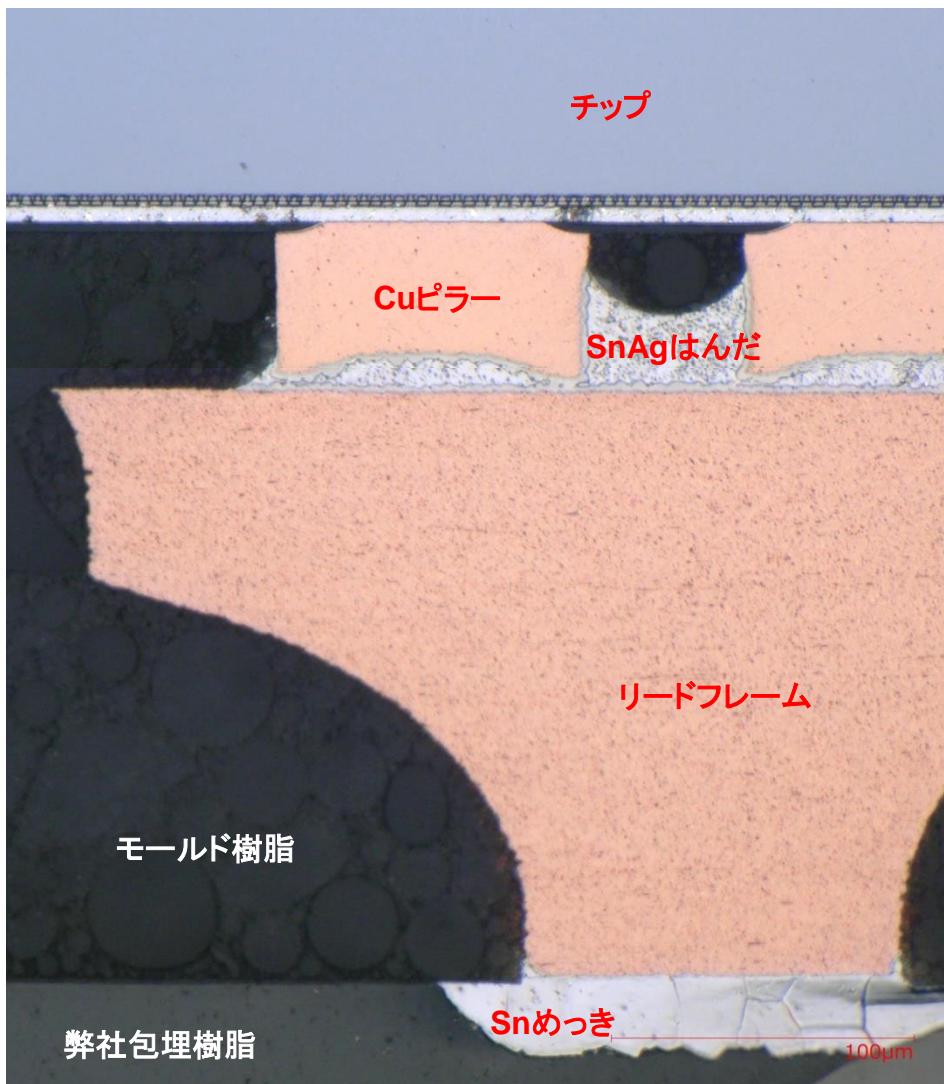


Fig. 2-5 QFN Package Cross-section (Zoomed up OM image)

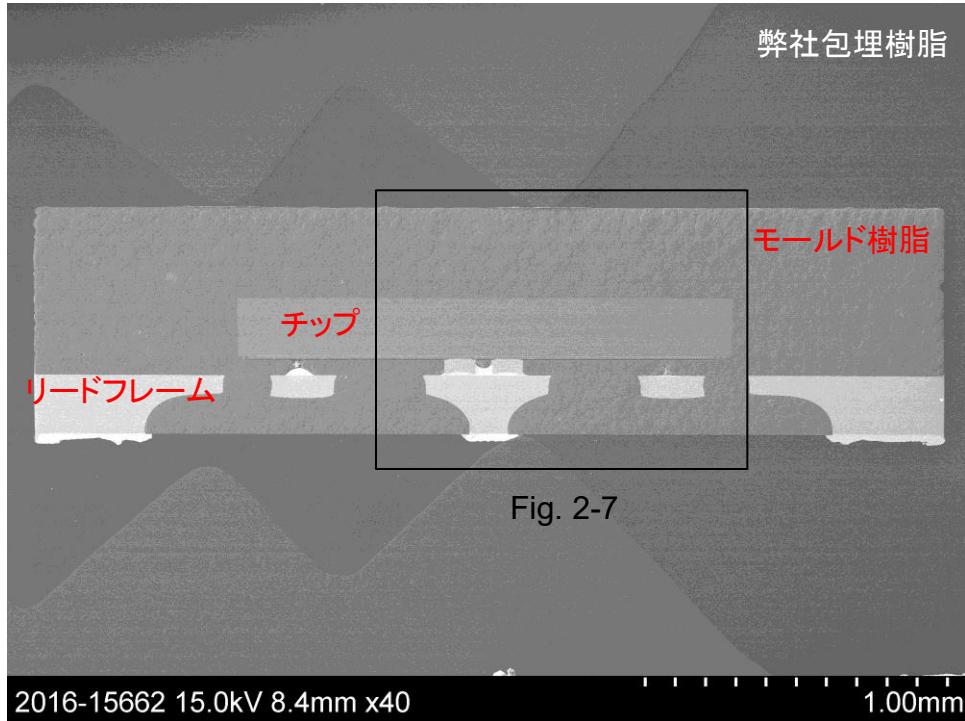


Fig. 2-6 QFN Package Cross-section (SEM image)

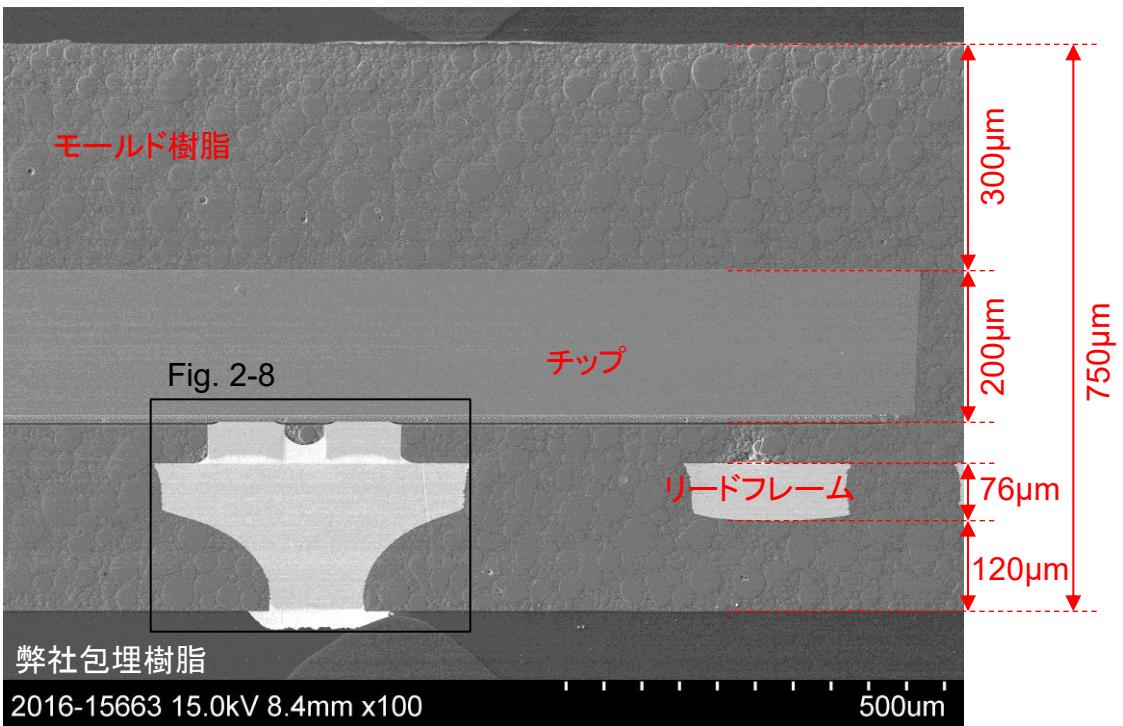


Fig. 2-7 QFN Package Cross-section (Zoomed up SEM image)

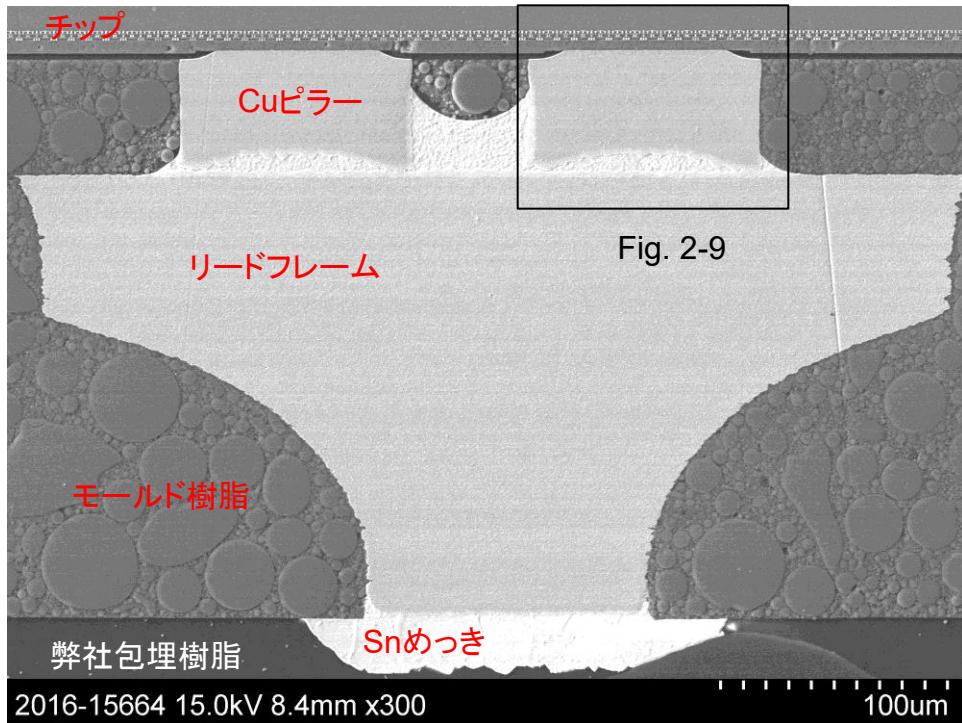


Fig. 2-8 QFN Package Cross-section
(Zoomed up cross-sectional SEM image showing SW-pin lead)

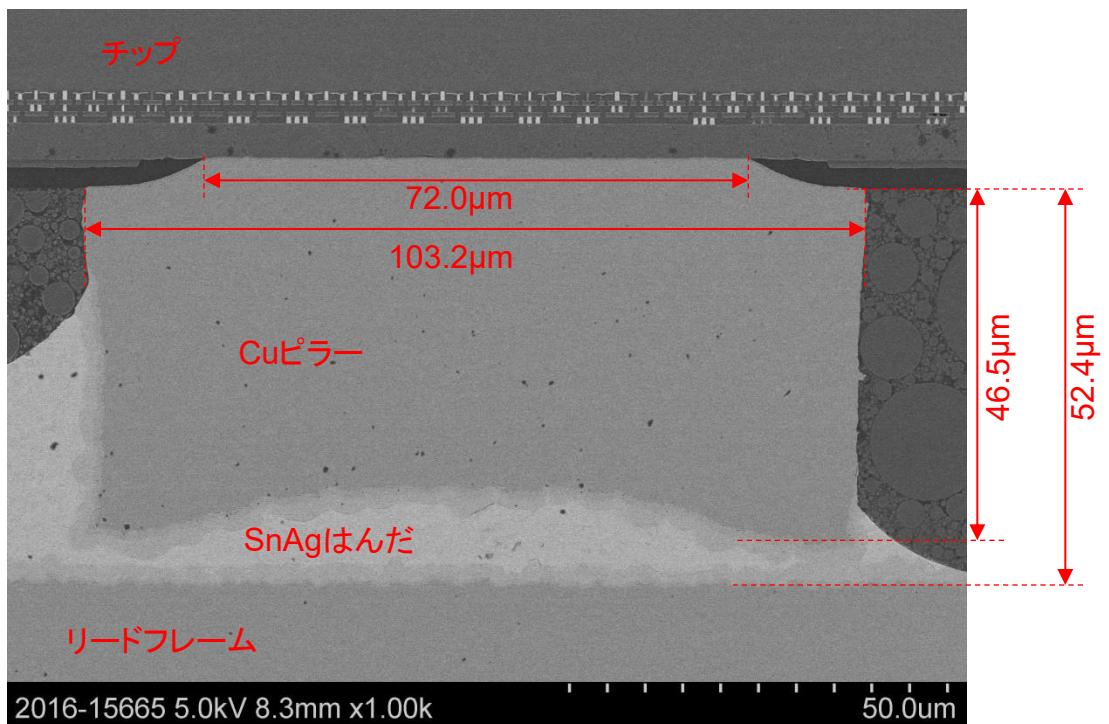


Fig. 2-9 QFN Package Cross-section
(Zoomed up cross-sectional SEM image showing Cu-pillar)

3. Overview

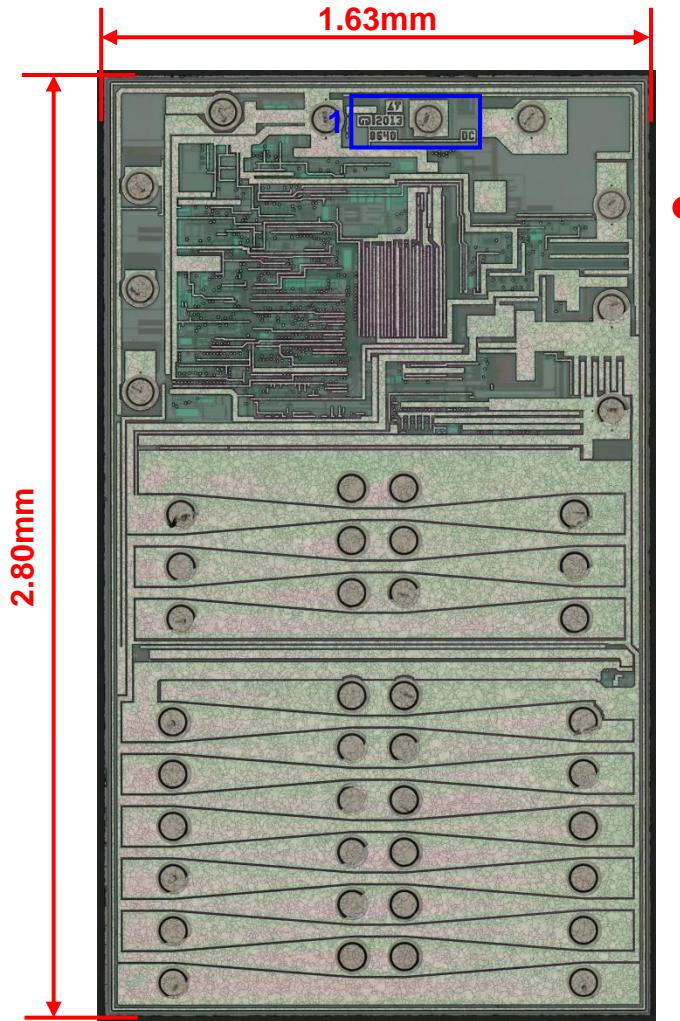


Fig. 3-1 Die Size (3rd Metal Layer)



Fig. 3-2 Die Marking

● 1Pin

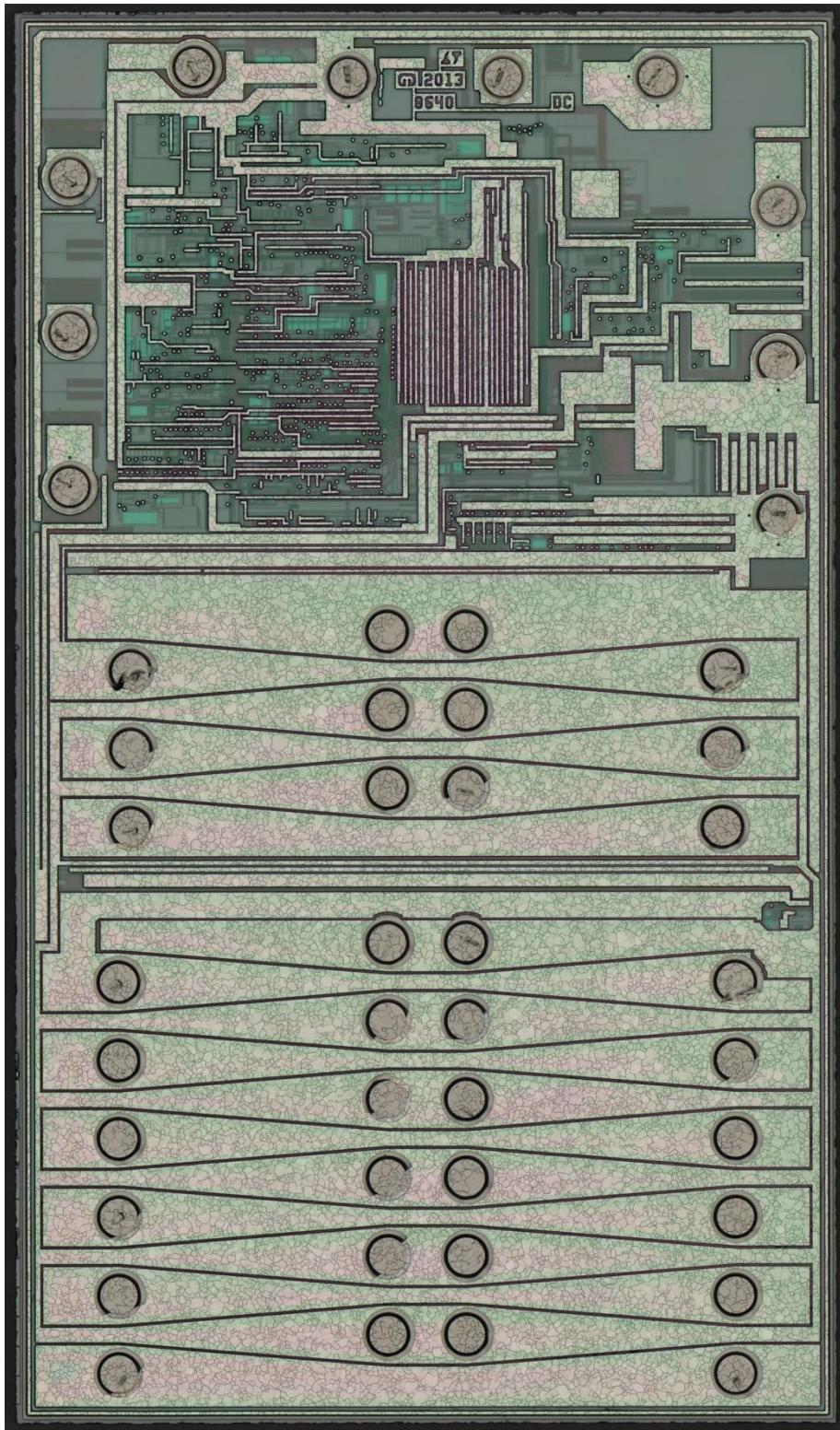


Fig. 3-3 Die Overview (3rd Metal Layer)

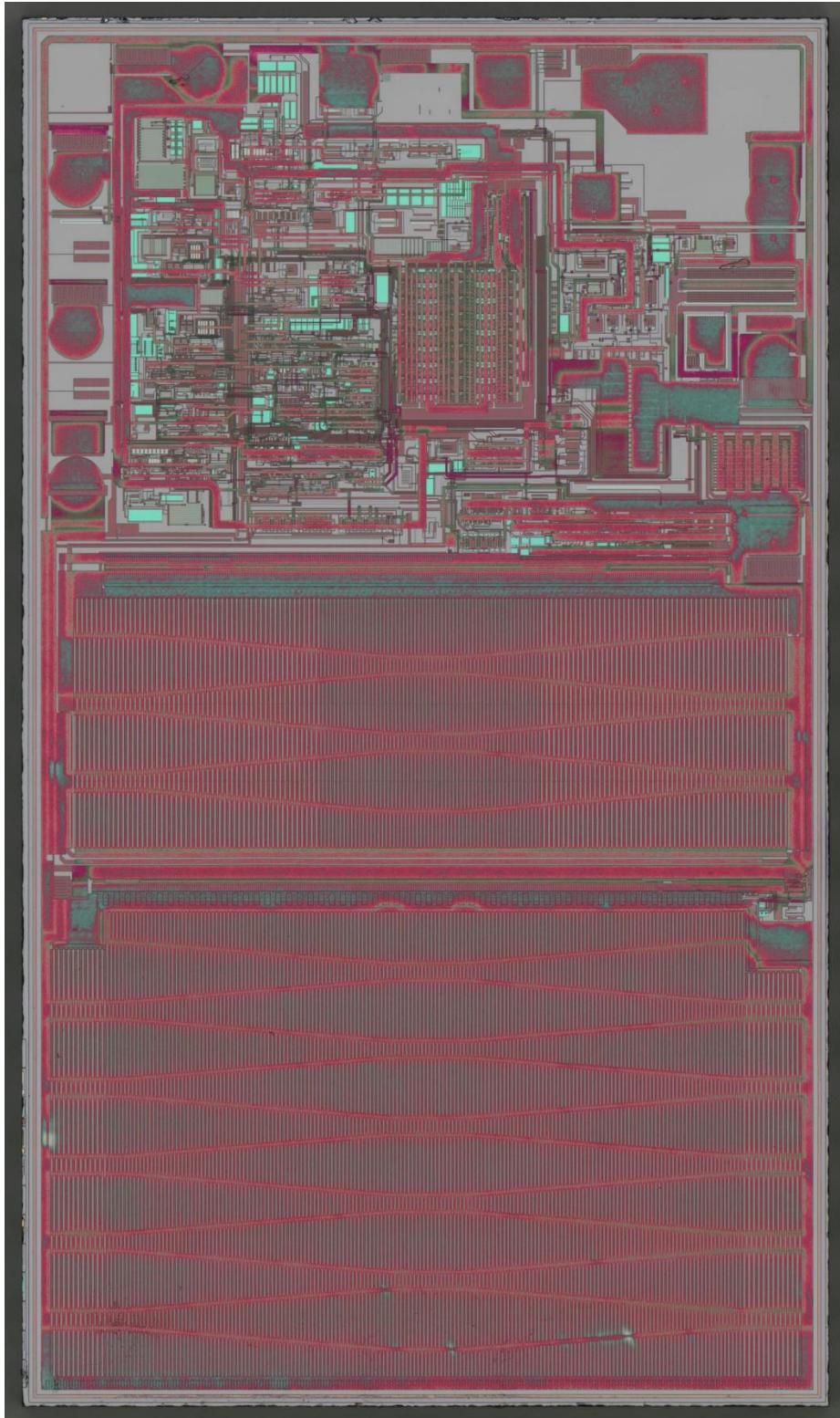


Fig. 3-4 Die Overview (2nd Metal Layer)

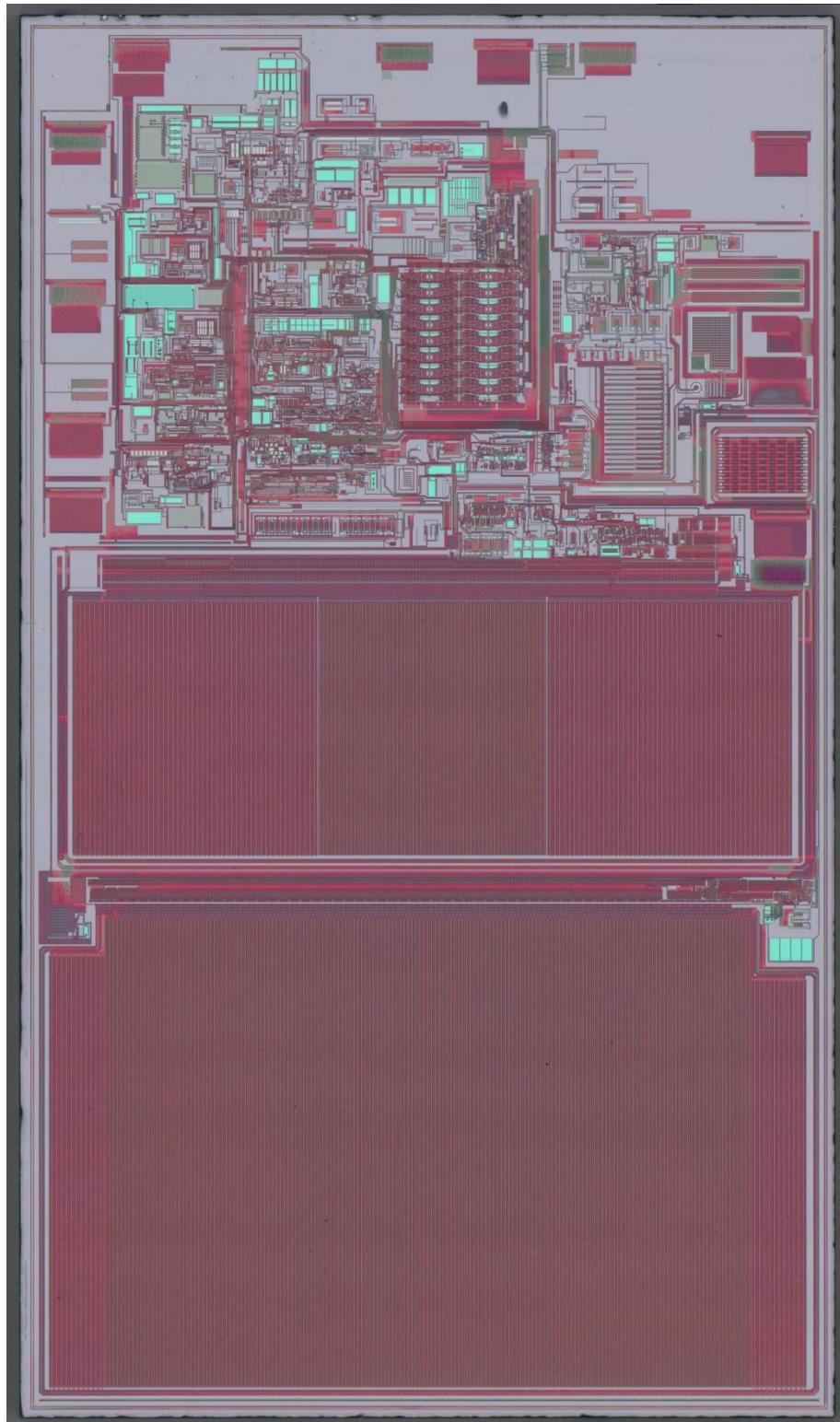


Fig. 3-5 Die Overview (1st Metal Layer)

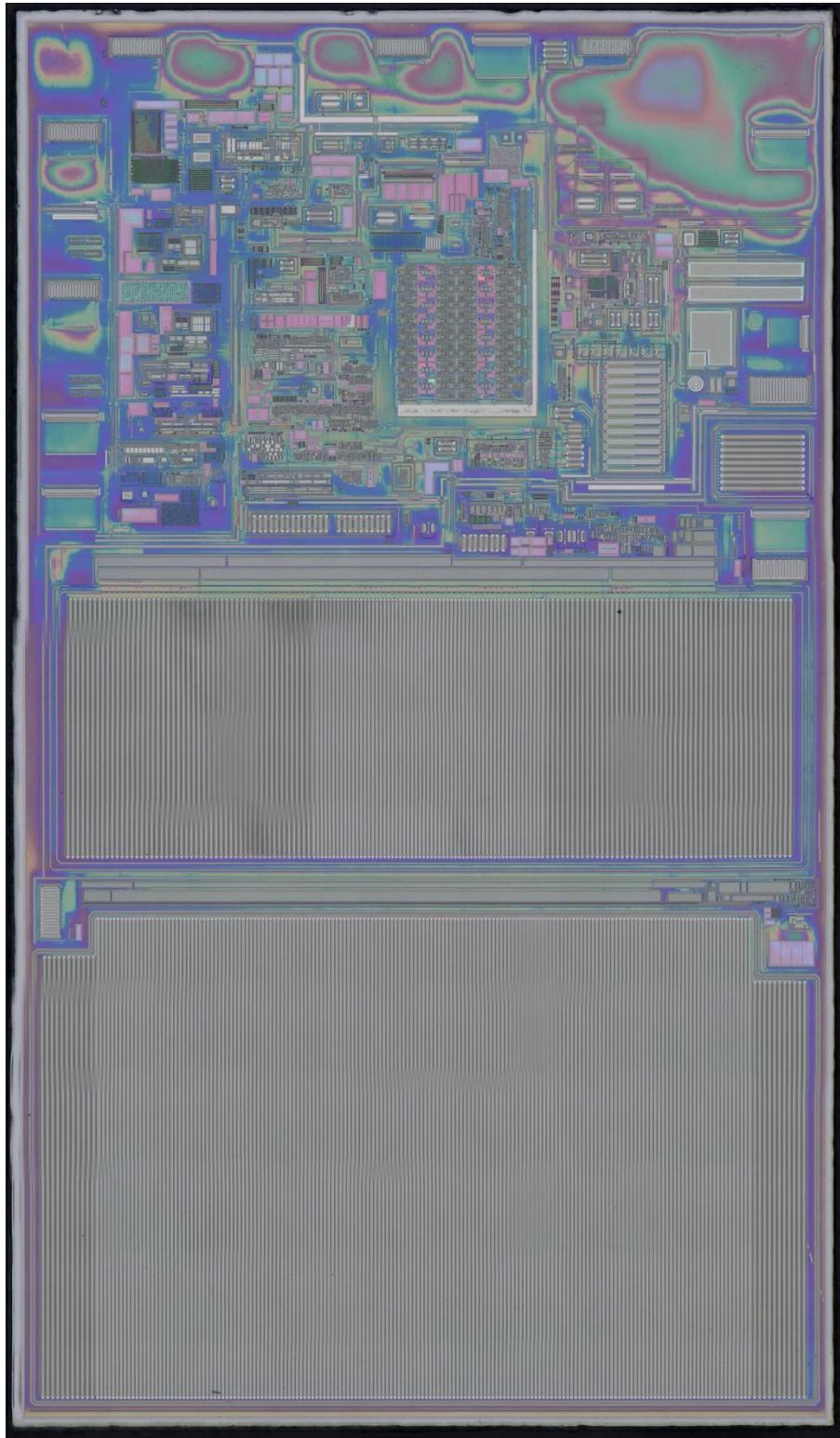
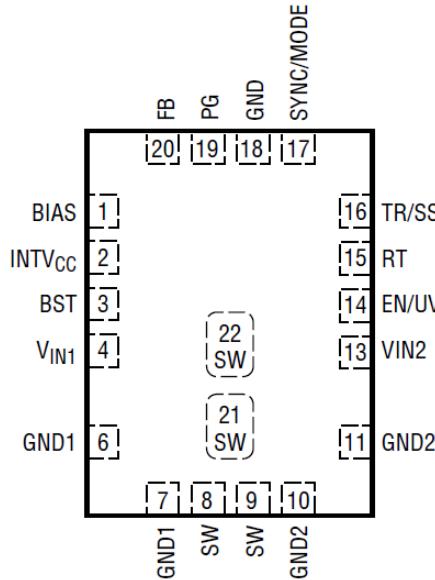


Fig. 3-6 Die Overview (Poly-Si Layer)



* Refer to Datasheet

Fig. 3-7 Pin Assignment (Top View)

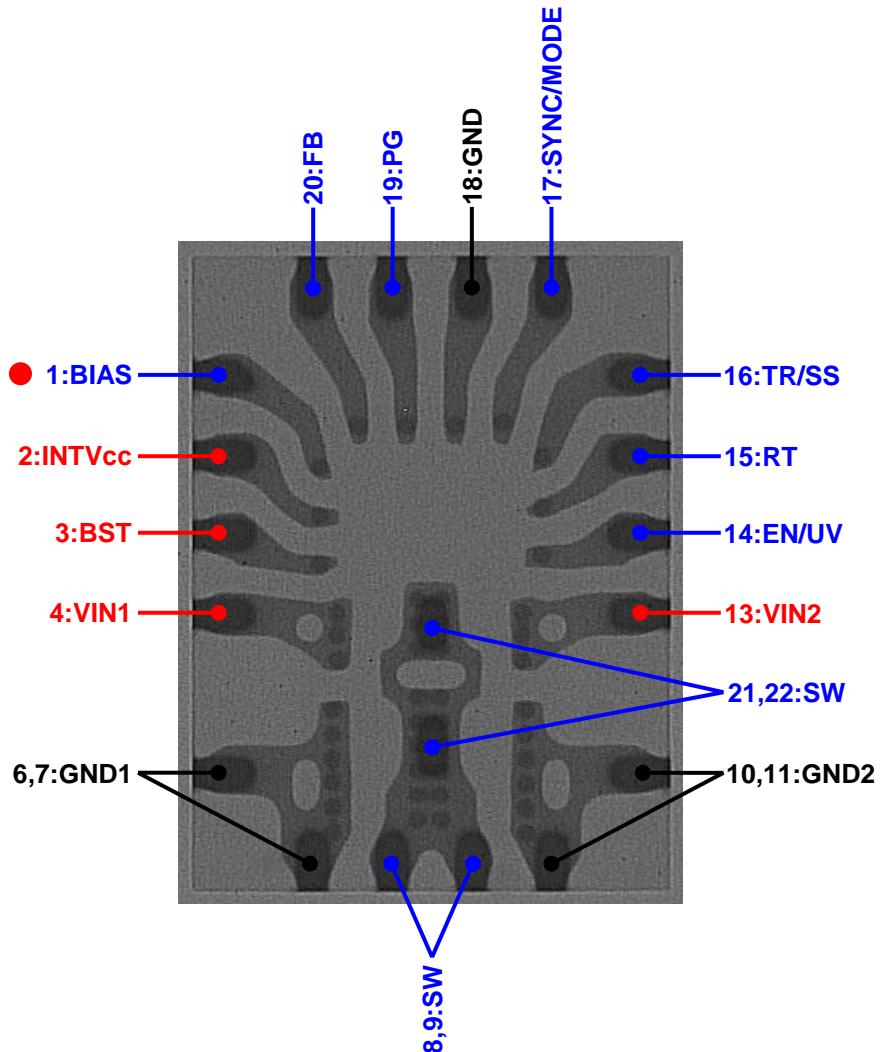
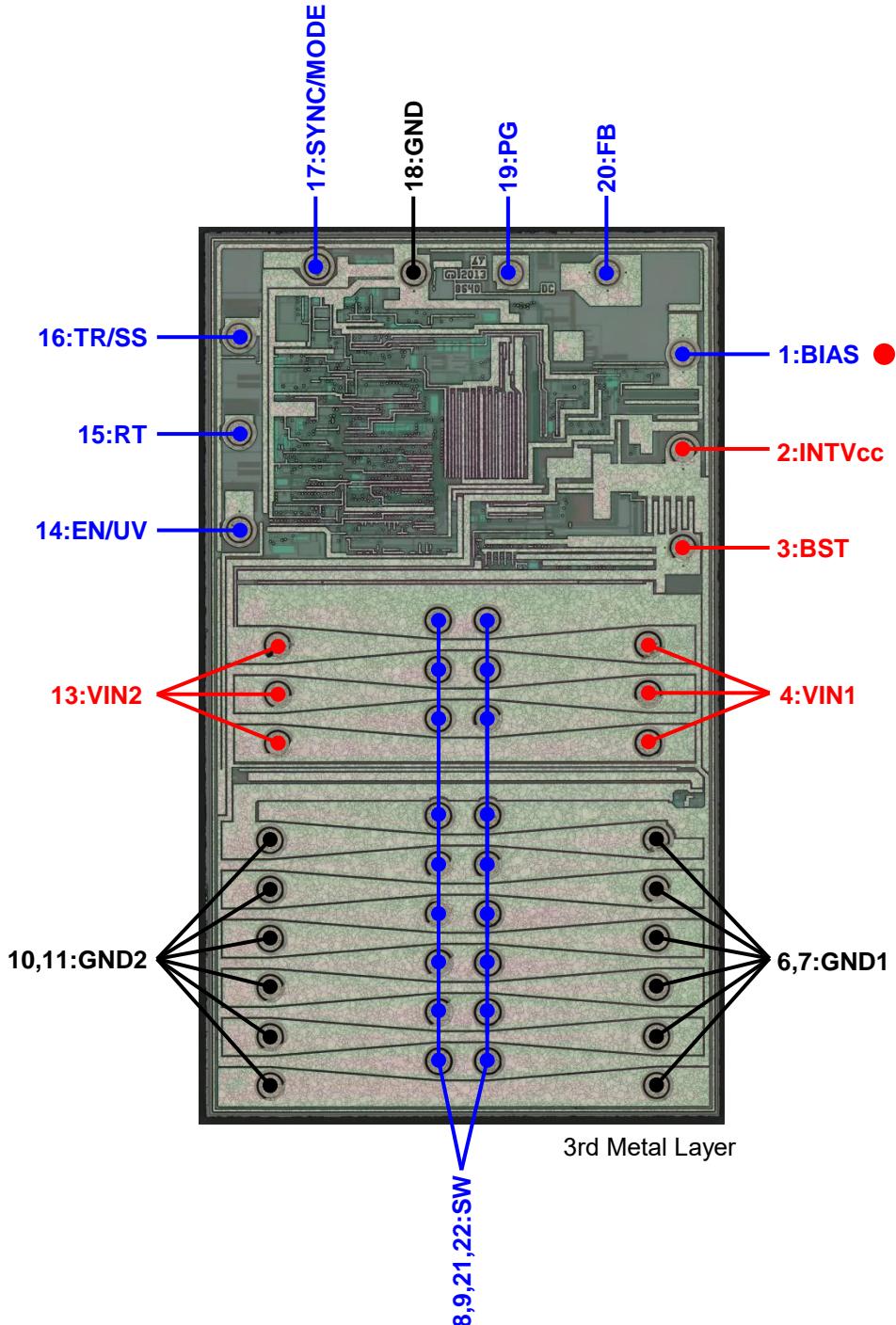


Fig. 3-8 Pin Assignment (X-Ray)

● 1Pin

**Fig. 3-9 Pin Assignment (Die Overview)**

※Flip-Chip 実装のため、X線写真とはピン配置が左右反転になる。

※1:VIN1と13:VIN2はチップ内部で電気的に接続しているため、回路図上ではVIN1の表記で統一。

※6,7:GND1と10,11:GND2はチップ内部で電気的に接続しているため、回路図上ではGND1の表記で統一。

● 1Pin

4. Elements

| layout | Symbol | Cell Name |
|---|--|-----------------|
| | [PMOS] | |
| | <p> M_n $W=w\text{ }\mu$ $L=l\text{ }\mu$ $M=m$ mfetp4-1 </p> | mfetp4-1 |
| | [NMOS] | |
| | <p> M_n $W=w\text{ }\mu$ $L=l\text{ }\mu$ $M=m$ $B=b$ mfetn4-1 </p> | mfetn4-1 |
| | <p> M_n $W=w\text{ }\mu$ $L=l\text{ }\mu$ $M=m$ $B=b$ mfetn3-1 </p> | mfetn3-1 |
| <p><i>n</i> :Element Number <i>m</i> :Multiplier</p> | | |

Fig. 4-1 MOS-Transistor

| layout | Symbol | Cell Name |
|--|---|--|
| <p>Poly-Si (Gと同電位) 電界緩和用のフィールド プレートとして機能すると推測。</p> | <p>[NMOS]</p> <p>D G B S</p> <p>M_n $W=w\mu$ $L=l\mu$ $M=m$ $mfetn4-ld1$</p> | <p>mfetn4-ld1</p> <p>n : Element Number m : Multiplier</p> |

Fig. 4-2 LDMOS-Transistor1

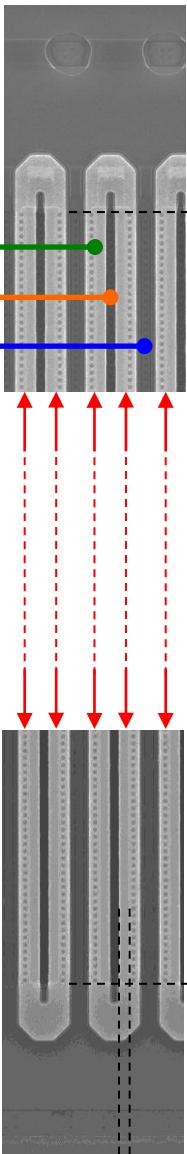
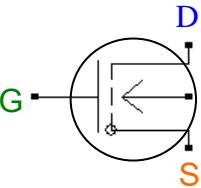
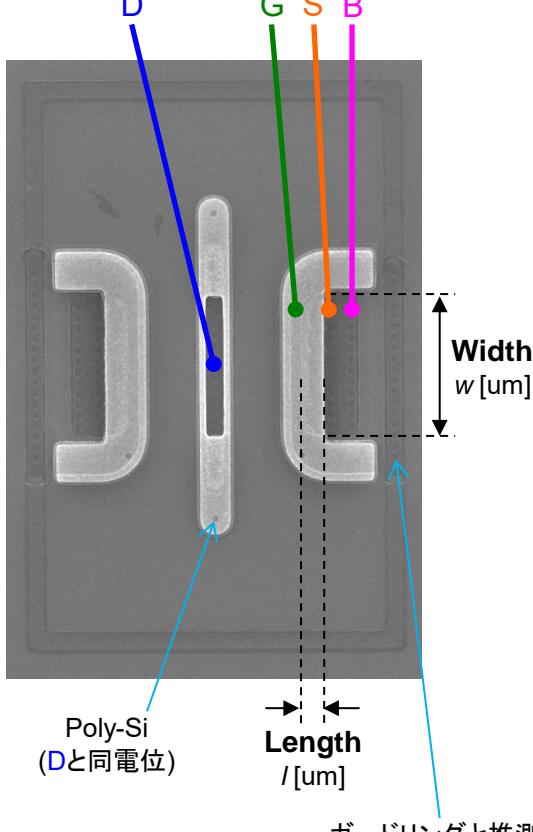
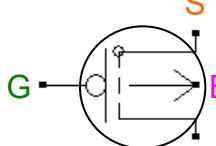
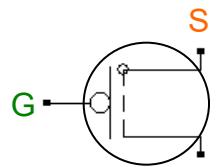
| layout | Symbol | Cell Name |
|---|---|--|
|  <p>Width w [um]</p> <p>Length l [um]</p> | <p>[NMOS]</p>  <p>D B S</p> <p>M_n $W=w u$ $L=l u$ $M=m$ $mfetn4-Id2$</p> | <p>mfetn4-Id2</p> <p>n :Element Number m :Multiplier</p> |

Fig. 4-3 LDMOS-Transistor2

| layout | Symbol [PMOS] | Cell Name |
|--|---|--|
|  <p>D G S B</p> <p>Poly-Si (Dと同電位)</p> <p>Length / [um]</p> <p>ガードリングと推測 (Bと同電位)</p> <p>Width w [um]</p> |  <p>S G D</p> <p>[PMOS]</p> | mfetp4-h1 <i>M_n</i> <i>W=w u</i> <i>L=l u</i> <i>M=m</i> <i>B=b</i> |
| |  <p>S G D</p> | mfetp3-h1 <i>M_n</i> <i>W=w u</i> <i>L=l u</i> <i>M=m</i> <i>B=b</i> |

n :Element Number
m :Multiplier

Fig. 4-4 HVMOS-Transistor1

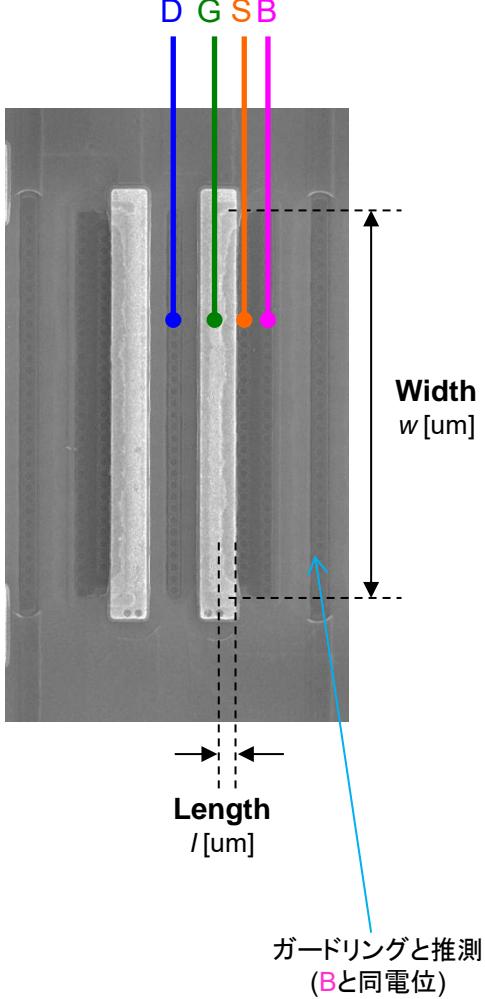
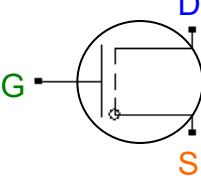
| layout | Symbol | Cell Name |
|---|--|---|
|  <p>D G S B</p> <p>Width w [um]</p> <p>Length l [um]</p> <p>ガードリングと推測 (Bと同電位)</p> | <p>[NMOS]</p>  <p>M_n W=w u L=l u M=m B=b mfetn3-h2</p> | <p>mfetn3-h2</p> <p>n :Element Number m :Multiplier</p> |

Fig. 4-5 HVMOS-Transistor2

| layout | Symbol | Cell Name |
|--|--|---|
| <p>D G S B</p> <p>Width w [um]</p> <p>Length l [um]</p> <p>Poly-Si (Bと同電位) 電界緩和用のフィールド プレートとして機能すると推測。</p> | <p>[NMOS]</p> <p>M_n $W=w u$ $L=l u$ $M=m$ $mftetn4-h3$</p> <p>M_n $W=w u$ $L=l u$ $M=m$ $B=b$ $mftetn3-h3$</p> | <p>$mftetn4-h3$</p> <p>$mftetn3-h3$</p> |

n :Element Number
 m :Multiplier

Fig. 4-6 HVMOS-Transistor3

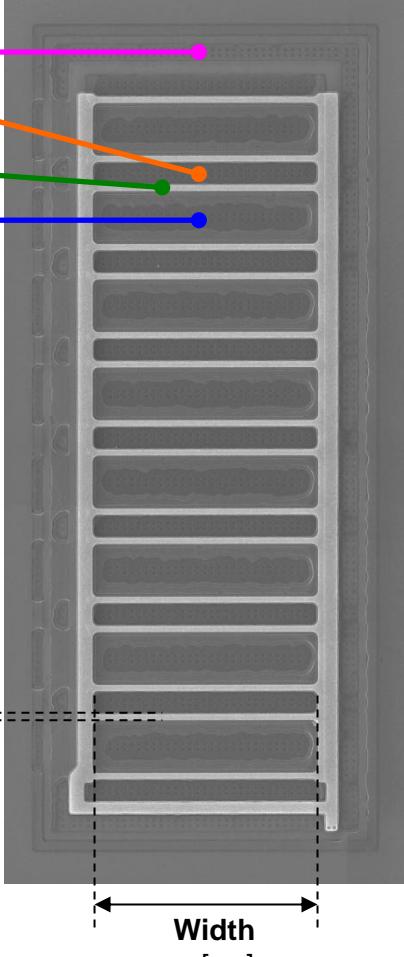
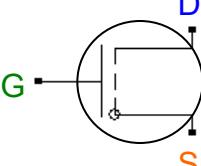
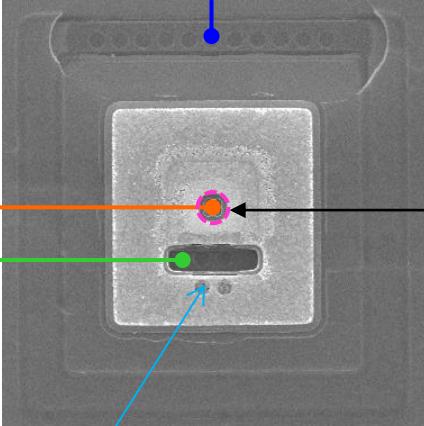
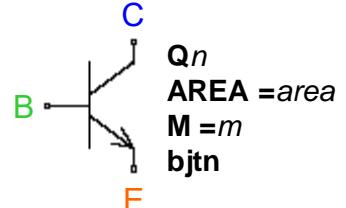
| layout | Symbol | Cell Name |
|--|--|--|
|  <p>B S G D</p> <p>Length l [um]</p> <p>Width w [um]</p> | <p>[NMOS]</p>  <p>D G S</p> | <p>M_n W=w u L=l u M=m B=b mfetn3-h4</p> <p>mfetn3-h4</p> <p>n :Element Number m :Multiplier</p> |

Fig. 4-7 HVMOS-Transistor4 (ESD Protection)

| layout | Symbol | Cell Name |
|--|---|-----------|
|  <p>Poly-Si (Bと同電位) 拡散注入時のマスクとして機能したと推測</p> |  <p>Q_n $AREA = area$ $M = m$ bjtn</p> | bjtn |

n :Element Number
 m :Multiplier

Fig. 4-8 Bipolar-Junction-Transistor (NPN-Type)

| layout | Symbol | Cell Name |
|--|---|-----------|
| <p>Width w [um]</p> <p>Length l [um]</p> | R_n POLY A B $W = w u$ $L = l u$ $M = m$ | res1 |

n :Element Number
 m :Multiplier

Fig. 4-9 Poly-Si Resistor

| layout | Symbol | Cell Name |
|--|---|-----------|
| <p>Length l [um]</p> <p>Width w [um]</p> | R_n DIF1 A B $W = w u$ $L = l u$ $M = m$ | res2 |

n :Element Number
 m :Multiplier

Fig. 4-10 Diffusion Resistor1

| layout | Symbol | Cell Name |
|---|---|-----------|
| <p>Poly-Si (Aと同電位)</p> <p>Length l [um]</p> <p>Width w [um]</p> | R_n DIF2 A B $W = w u$ $L = l u$ $M = m$ | res3 |

n :Element Number
 m :Multiplier

Fig. 4-11 Diffusion Resistor2

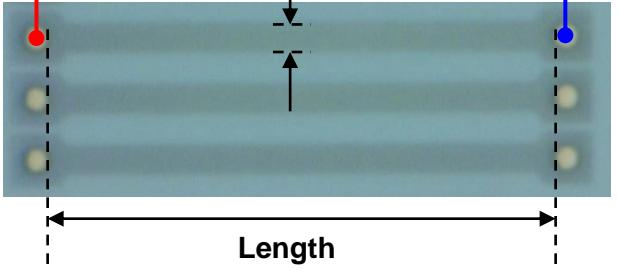
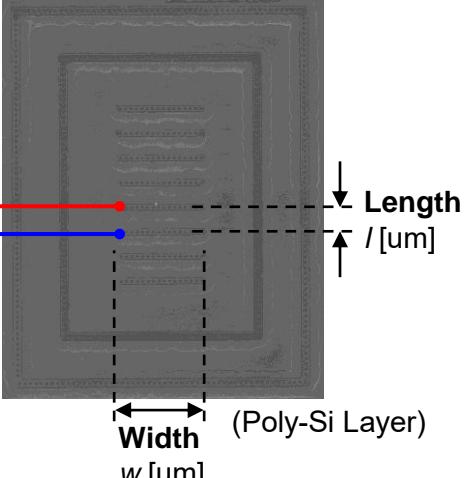
| layout | Symbol | Cell Name |
|---|---|---|
|  <p>Width w [um]</p> <p>Length l [um]</p> <p>A</p> <p>B</p> | R_n TF  <p>$W = w u$ $L = l u$ $M = m$</p> | res4 <i>n</i> :Element Number <i>m</i> :Multiplier |

Fig. 4-12 Thin Film Resistor

| layout | Symbol | Cell Name |
|---|---|---|
|  <p>Length l [um]</p> <p>A</p> <p>B</p> <p>Width w [um]</p> <p>(Poly-Si Layer)</p>  <p>(1Metal Layer)</p> | R_n WELL  <p>$W = w u$ $L = l u$ $M = m$</p> | res5 <i>n</i> :Element Number <i>m</i> :Multiplier |

※Fig. 10-1のみで使用。
 回路上の接続関係から抵抗と判断した。
 A-B間で1個の抵抗とみなし、直列に7個接続しているものと判断。
 より正確に判断するためには断面解析が必要。

Fig. 4-13 Well Resistor

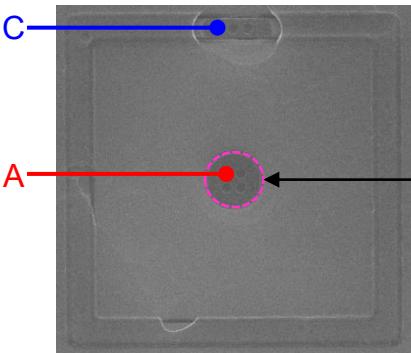
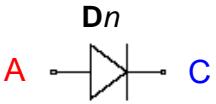
| layout | Symbol | Cell Name |
|---|---|-----------|
|  <p>AREA area [μm^2]</p> |  <p>D_n A ————— C AREA=area $M=m$</p> | dio |

Fig. 4-14 Diode

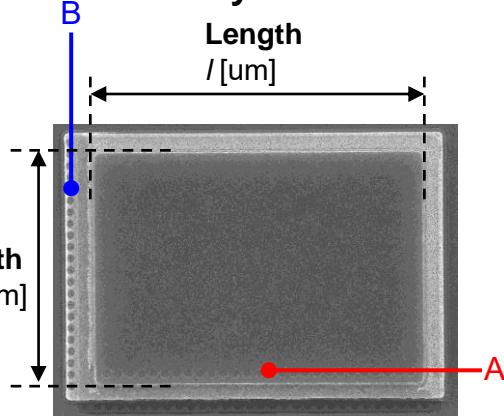
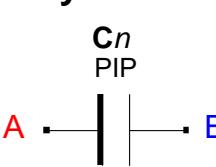
| layout | Symbol | Cell Name |
|--|---|-----------|
|  <p>Length l [μm] Width w [μm]</p> |  <p>C_n PIP A ————— B $W=w u$ $L=l u$ $M=m$</p> | cap1 |

Fig. 4-15 Poly-Si / Insulator / Poly-Si Capacitor

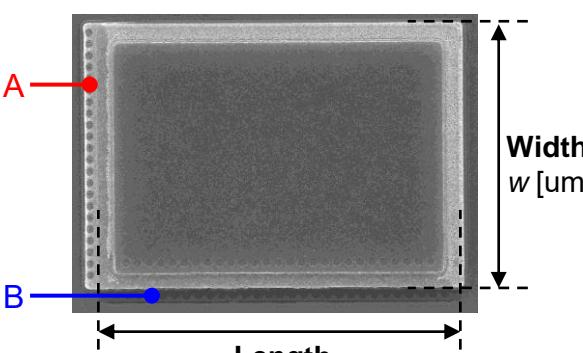
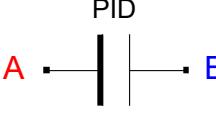
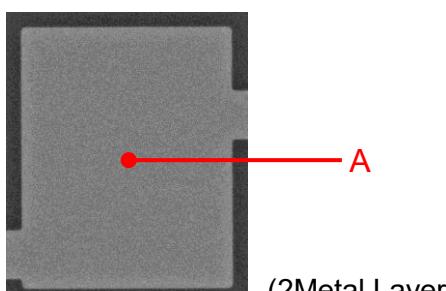
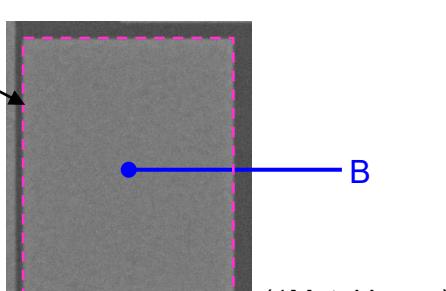
| layout | Symbol | Cell Name |
|---|---|-----------|
|  <p>Width w [μm] Length l [μm]</p> |  <p>C_n PID A ————— B $W=w u$ $L=l u$ $M=m$</p> | cap2 |

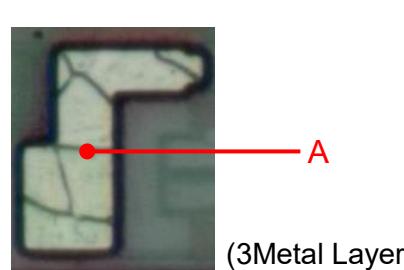
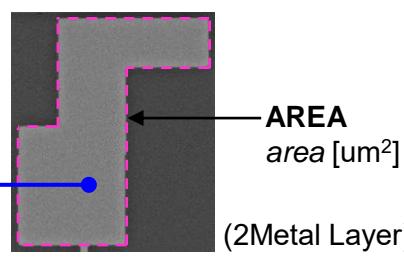
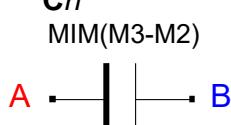
Fig. 4-16 Poly-Si / Insulator / Diffusion Capacitor

| layout | Symbol | Cell Name |
|--|---|-----------|
|  <p>Width w [um]</p>  <p>AREA $area$ [um2]</p> |  <p>C_n MIM(M2-M1)</p> <p>A — — B</p> <p>AREA=$area$ $M=m$</p> | cap3 |

n : Element Number
 m : Multiplier

※Fig. 9-2、Fig. 9-4-1 で使用。
左のレイアウトを素子と判断しないと回路の接続が
不自然にフローティングになる箇所が生じるため、
配線のレイアウトから容量を形成していると判断した。
左の素子について、より正確に判断するためには、
断面解析が必要。

Fig. 4-17 Metal-Insulator-Metal Capacitor1

| layout | Symbol | Cell Name |
|--|---|-----------|
|  <p>(3Metal Layer)</p>  <p>AREA $area$ [um2]</p> <p>B — — A</p> <p>(2Metal Layer)</p> |  <p>C_n MIM(M3-M2)</p> <p>A — — B</p> <p>AREA=$area$ $M=m$</p> | cap4 |

n : Element Number
 m : Multiplier

※Fig. 9-4-1 で使用。
左のレイアウトを素子と判断しないと回路の接続が
不自然にフローティングになる箇所が生じるため、
配線のレイアウトから容量を形成していると判断した。
左の素子について、より正確に判断するためには、
断面解析が必要。

Fig. 4-18 Metal-Insulator-Metal Capacitor2

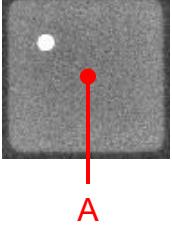
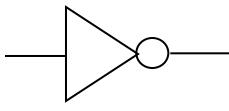
| Layout | Symbol | Cell Name |
|--|--|--|
|  3rd Metal Layer |  2nd Metal Layer |  n :Element Number pad_test |

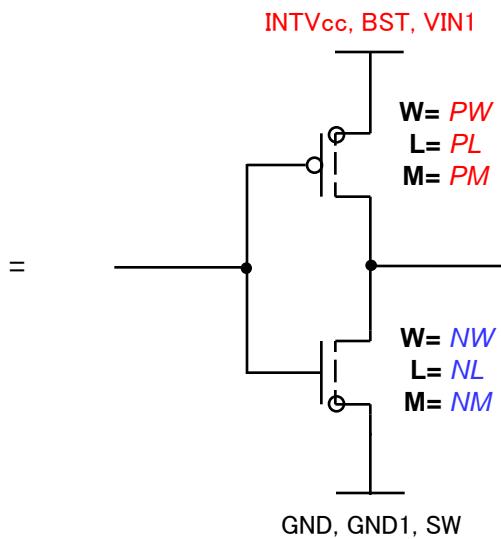
Fig. 4-19 Test Pad

・論理ゲートセル

PW/PL*PM

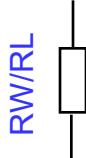


NW/NL*NW



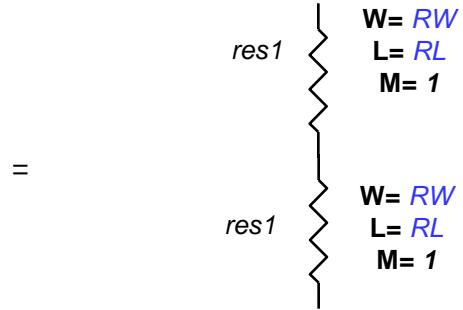
※1 他の論理ゲートも同様。

・抵抗セル



セル名

res1-2s-p



セル内部の直列接続抵抗の数を示す。

※2 直列接続数3以上の抵抗セルも同様

Fig. 4-20 Cell Parameters

5. Analysis Area

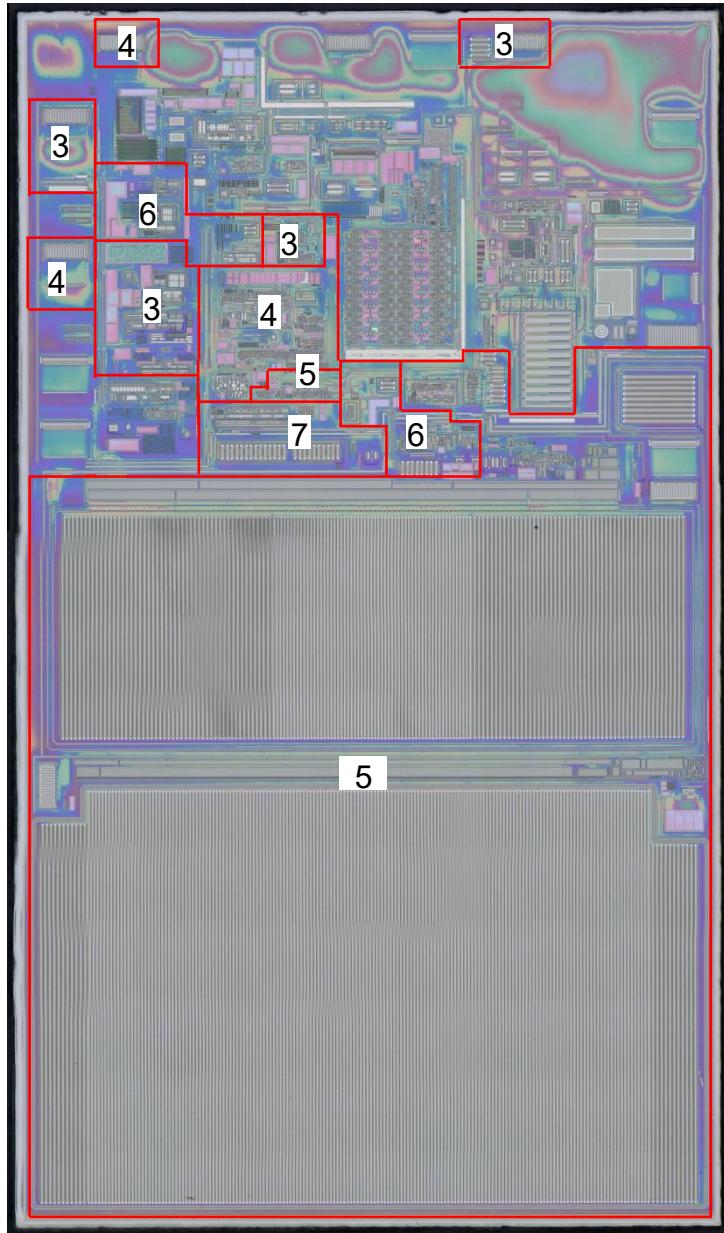
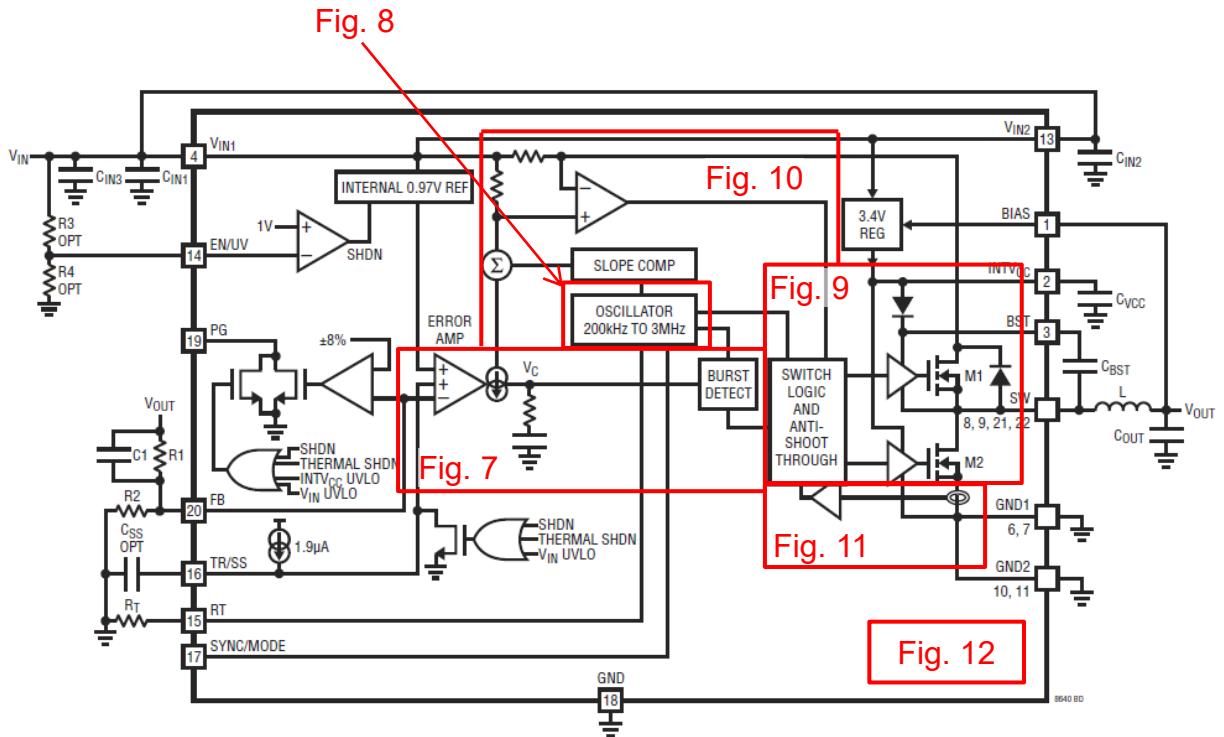


Fig. 5-1 Analysis Area

Table3 Function

| No. | Function | Fig. |
|-----|-------------------------------|---------|
| 3 | | |
| 4 | | |
| 5 | | |
| 6 | | .12 |
| 7 | Negative Current Detect Block | Fig. 11 |

**Fig. 5-2 Functional Block Diagram (vs Datasheet)**

■Return to previous circuit

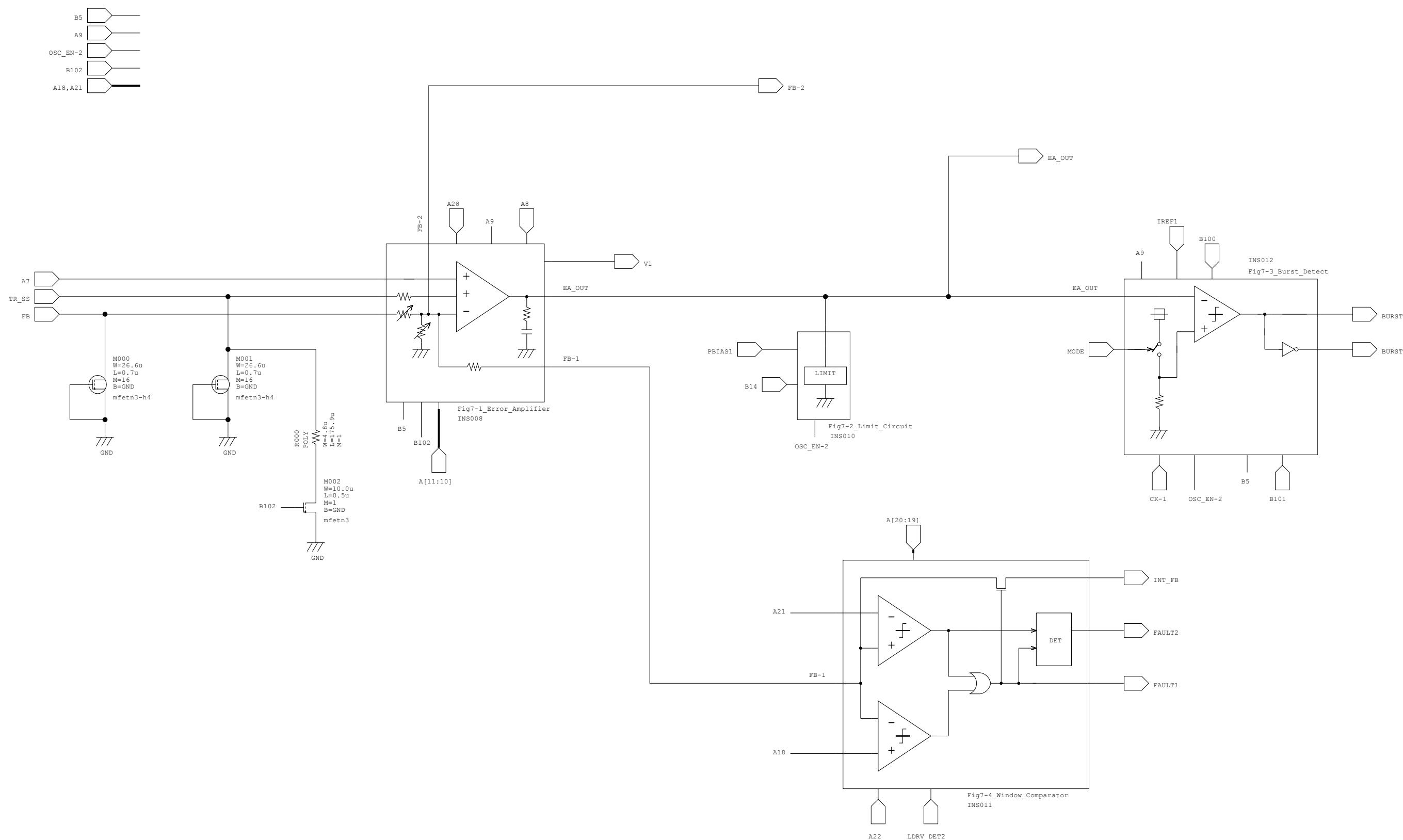
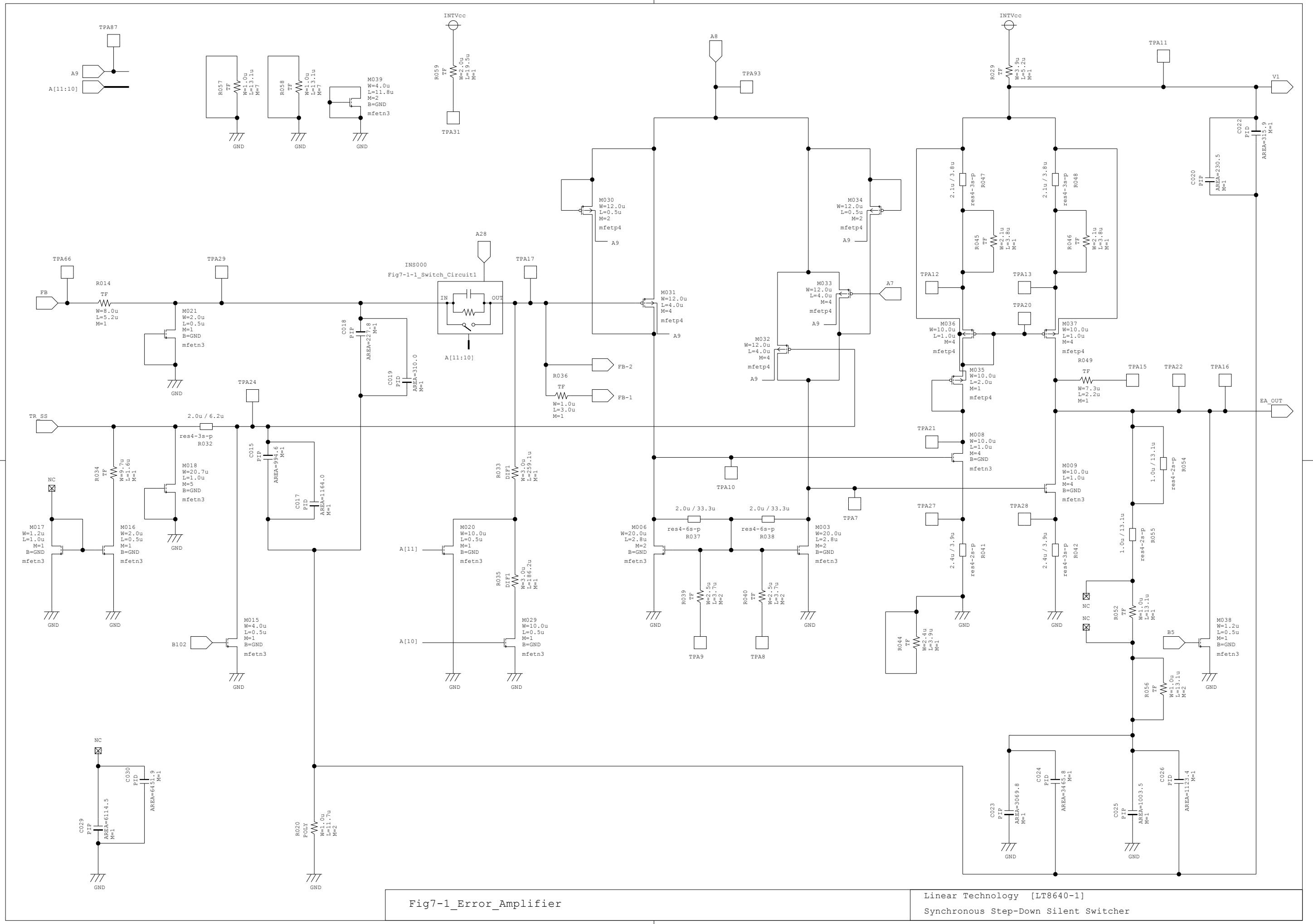


Fig7_Error_Amplifier_Block

Linear Technology [LT8640-1]
Synchronous Step-Down Silent Switcher

■Return to previous circuit



■Return to previous circuit

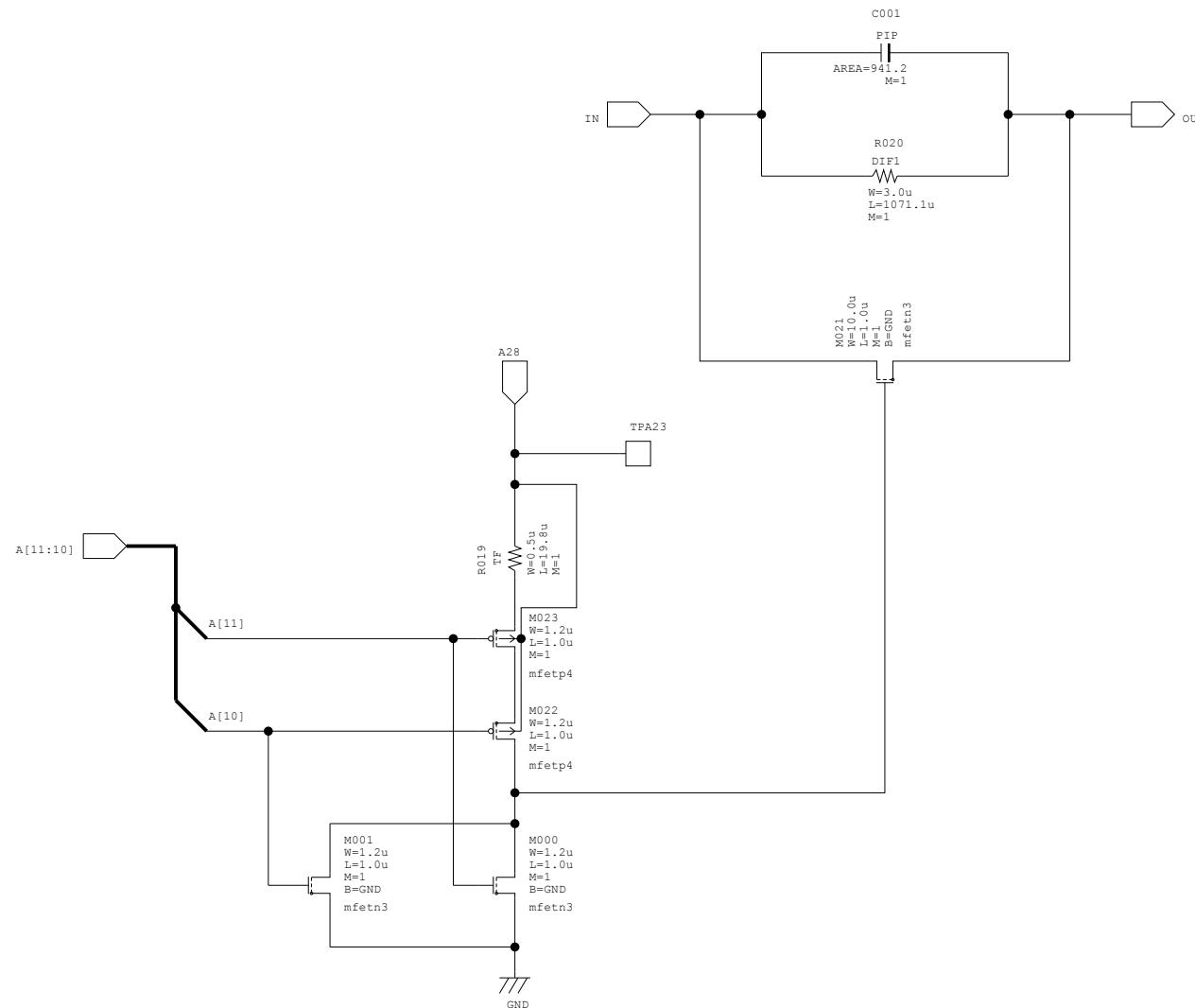


Fig7-1-1_Switch_Circuit1

Linear Technology [LT8640-1]
Synchronous Step-Down Silent Switcher