目次

	Page
1. はじめに	 4
2. デバイスサマリー	 5
3. 解析まとめ	 6
4. 製品外観観察	
4-1. 実装基板外観観察	 7
4-2. パッケージ外観観察	 8
4-3. パッケージX線観察	 9
5. チップ外観観察	
5-1. 上段チップ	 10
5-2. 中段チップ	 11
5-3. 下段チップ	 12
6. 下段チップ 平面解析	
6-1. 各層観察	 14
6-2. Logic部 M1 Layer 観察	 19
6-3. Logic部 Gate Layer 観察	 22
6-4. 搭載素子調査	
6-4-1. MOS Transistor	 25
6-4-2. Bipolar Transistor	 27
6-4-3. Diode	 28
6-4-4. 抵抗素子	 29
6-4-5. 容量素子	 31
6-4-6. 断面解析対象素子	 32

Page

7. 下段チップ 断面構造解析		
7-1. Logic部 断面SEM観察	•••	33
7-2. Nch LDMOS 断面SEM観察	•••	37
7-3. Pch LDMOS 断面SEM観察	•••	45
7-4. Bipolar Transistor 断面SEM観察	•••	54
7-5. SOI構造 断面SEM観察	•••	61
7-6. 多重トレンチ構造形成の断面工程フロー(推定)		64



1. はじめに

トヨタ第4世代プリウス(ZVW51)のBMS (Battery Management System) 基板に搭載されている デンソー製車載用バッテリ監視IC「SF410」は、QFPパッケージ内に3チップがスタックされている。

下段チップはマルチプレクサ機能・ADC機能・セルバランス機能を備え、中段チップはディジー チェーン用通信機能・電源機能・バイアス回路機能・メモリ機能を備えている。

下段チップと中段チップは、チップ間にワイヤーボンディングが行われており、電気的に接続 している。上段チップは電気的には接続されておらず、用途不明である。

日経テクノロジーOnline(2015.10.14)によると、第4世代プリウス(ZVW51)では207.2V/56セルの Li電池を使用している。BMS基板には3個のICが搭載されており、IC1個当たりで18~19セルの 電圧を監視しており、80V程度の高耐圧プロセスを使用していると考えられる。ただし、IC1個 としては最大20セルの電圧の監視が可能である。

本レポートでは下段チップの構造的特徴を明らかにすることを目的とした。



Fig. 1-1 トヨタ第4世代プリウス(ZVW51) BMS基板

Fig. 1-2 パッケージ



Fig. 1-3 3チップのスタック



2. デバイスサマリー

|--|

品種	バッテリ監視IC
メーカー	株式会社デンソー
型番	SF410
パッケージサイズ	16.0mm X 16.0mm = 256.0mm ²
パッケージタイプ	QFP 100
	SF410
パッケージマーキング	10S0298
	DG

上段チップ

チップマーキング	RNS D5
チップサイズ	1.46mm × 1.46 mm = 2.13 mm ²
推定機能	不明

中段チップ

チップマーキング	MZ566 230 D
チップサイズ	5.23mm × 4.81 mm = 25.16 mm ²
推定機能	ディジーチェーン用通信機能、電源機能、バイアス回路機能、 メモリ機能

下段チップ

チップマーキング	MZ567 D
チップサイズ	7.67 mm \times 7.68 mm $=$ 58.91 mm ²
プロセス	2Poly-3Metal 0.50µm BCDMOS SOI
推定機能	マルチプレクサ機能、ADC機能、セルバランス機能



3. 解析まとめ

【製品】

68mmで、

同败の抵抗法方性中に調教ナッチ

【ブロセスの特徴1-貼り合わせSOIウェハー】 厚さ14.8µmのSOI層が、1.1µm厚のBOX層の上に設けられたSOIウェハーを採用し、隣合うSOI層の

低減を図っていると考えられる。 【プロセスの特徴3-オプションプロセス】

<u>Table 3-1 解析結果まとめ</u>

解析項目	解析結果	
プロセス	- 2Daly 2Matal 0 50um PCDMOS SOL	
配線材料		
ビア / コンタクト材料		
表面保護膜		
素子分離構造		
トランジスタ構造		
オプションプロセス	2Poly構成のPIPキャハンタを拾載。	



4. 製品外観観察 4-1. 実装基板外観観察

■ BMS基板上にバッテリ監視ICが3つ実装されている。



<u>Fig. 4-1-1 BMS基板 (Top)</u>



Fig. 4-1-2 BMS基板 (Bottom)



4. 製品外観観察 4-2. パッケージ外観観察

• 1Pin



<u>Fig. 4-2-1 パッケージ (Top)</u>



Pin数:100

<u>Fig. 4-2-2 パッケージ (Bottom)</u>



4. 製品外観観察

4-3. パッケージX線観察

- QFPパッケージ内に3チップがスタックされている。
- 下段チップは、チップ裏面がGND電位と接続している。
- 中段チップSi基板とGND電位との接続は確認できない。
- 上段チップは他との接続が無く、フローティングになっている。(機能不明)



Fig. 4-3-1 パッケージX線写真



• 1Pin

5. チップ外観観察 5-1. 上段チップ

■ 上段チップサイズ: 1.46mm×1.46mm=2.13mm²
■ 上段チップは他との接続が無く、フローティングになっている。(機能不明)



Fig. 5-1-1 上段チップ (Top Metal Layer) 0.10mm



5. チップ外観観察 5-2. 中段チップ



- 中段チップサイズ: 5.23mm×4.81mm=25.16mm²
 - 推定機能:ディジーチェーン用通信機能、電源機能、バイアス回路機能、 メモリ機能





LTEC CORPORATION



1Pin

5-3. 下段チップ

下段チップサイズ: 7.67mm×7.68mm=58.91mm² 推定機能:マルチプレクサ機能、ADC機能、セルバランス機能





Fig. 5-3-3 チップ厚 100µm



6. 下段チップ 平面解析 6-1. 各層観察





<u>Fig. 6-1-1 下段チップ (Top Metal Layer)</u>

0.50mm







0.50mm

• 1Pin





<u>Fig. 6-1-5 下段チップ (Diffusion Layer)</u>

0.50mm

1Pin



6. 下段チップ 平面解析 6-2. Logic部 M1 Layer 観察



<u>Fig. 6-2-1 Logic部観察箇所 (M1 Layer)</u>

0.50mm







Fig. 6-2-3 Logic部平面SEM像 (M1 Layer)







6. 下段チップ 平面解析 6-3. Logic部 Gate Layer 観察



<u>Fig. 6-3-1 Logic部観察箇所 (Gate Layer)</u>

0.50mm







Fig. 6-3-3 Logic部平面SEM像 (Gate Layer)





<u>Fig. 6-3-4 ゲートピッチ (NMOS)</u>



<u>Fig. 6-3-5 ゲートピッチ(PMOS)</u>





第4世代プリウス(ZVW51) BMS基板搭載バッテリ監視ICの構造解析







■ 拡散抵抗が形成されている。



Fig. 6-4-4-4 拡散抵抗



第4世代プリウス(ZVW51) BMS基板搭載バッテリ監視ICの構造解析

7. 下段チップ 断面構造解析 7-1. Logic部 断面SEM観察



Fig. 7-1-1 Logic断面加工箇所

■貼り合わせSOIウェハーが使用されている。

Tilt 20°



Fig. 7-1-2 Logic部断面SEM像

LTEC CORPORATION







Fig. 7-1-3 膜厚測定 (Passivation - M1)

※ 各材料はSEM像のコントラストと配線構造、形状からの推定。 ※ 膜厚測定値はTilt補正後の値。補正因子=1/cos10°



LTEC CORPORATION











Table 7-1-1 主要部分の膜厚 / 寸法測定結果 및

測定誤差±5%

- ※ 各材料はSEM像のコントラストと配線構造、形状からの推定。
- ※ 膜厚測定値はTilt補正後の値。補正因子=1/cos10°
- ※ Line / Spaceの値は平面観察による測定値。



7. 下段チップ 断面構造解析 7-3. Pch LDMOS 断面SEM観察







※注入層は推定





<u>Fig. 7-3-6 Pch LDMOSの構造模式図</u>

※注入層は推定











<u>Fig. 7-3-10 Pch LDMOS ソース領域拡大断面 (顕在化処理後)</u>



Page <u>33</u> of <u>64</u>







Fig. 7-3-13 Pch LDMOSドレイン領域拡大断面 Tilt 20°



<u>Fig. 7-3-14 Pch LDMOSドレイン領域拡大断面 (顕在化処理後)</u>



■ ゲート酸化膜の膜厚はLogic部と同等。



Fig. 7-3-16 Pch LDMOS Gate 拡大断面

※ 各材料はSEM像のコントラストと配線構造、形状からの推定。 ※ 膜厚測定値はTilt補正後の値。補正因子=1/cos10°







<u>Fig. 7-3-17 ゲート酸化膜の膜厚比較</u>



7. 下段チップ 断面構造解析 7-4. Bipolar Transistor 断面SEM観察







※注入層は推定





