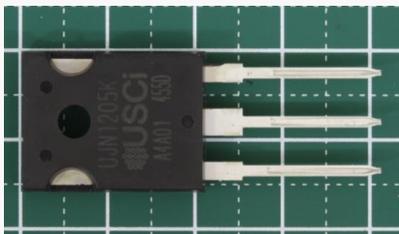


United Silicon Carbide製SiC J-FET (UJN1205K)の構造解析、プロセス解析レポートリリース

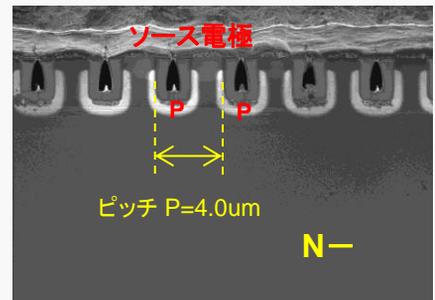
2017年7月、株式会社エルテックは、United Silicon Carbide製SiC JFET(Silicon Carbide-Junction Field Effect Transistor)であるUJN1205Kの構造解析、プロセス解析レポートをリリースしました。



パッケージ写真



チップ写真



素子部 断面SEM像

- ・ このJFETは、低電圧Si-MOSFETを使用し、カスコード接続で使用されるように設計されたノーマリオン・トランジスタです。用途は過電流保護回路やDC-ACインバータ、スイッチモード電源、モータードライバになります。
- ・ 特徴は、縦型チャネル、トレンチ型ゲートが用いられ、最大動作電圧 $V_{dss} = 1200V$ 、単位面積あたりのオン抵抗が $RONxA = 301m\Omega mm^2$ (トランジスタ活性領域面積)で、 $RONxA$ FOMは、実現された1200V定格のSiCトランジスタで最も低いものになります。
- ・ 構造解析レポートでは、トランジスタやパッケージの構造解析、材料分析、プロセス解析レポートでは、構造解析レポートの結果を基に、製造プロセスフローや、フォト/マスキングのプロセス工程数を解析しています。

販売価格(税別)

構造解析レポート ¥400,000

プロセス解析レポート ¥400,000

17G-0003-1

Table of Contents

構造解析レポート

【目次】	頁
1 デバイスサマリー(表1).....	3
1-1 解析結果まとめ	4
表2: 実装パッケージ	5
表3: デバイス構造: SiC JFET.....	6
表4: デバイス構造: レイヤー材料・膜厚	7
2 パッケージ外観解析.....	8
2-1 外観・X線観察	9-10
2-2 パッケージ内部の構成	11-14
3 SiC JFET解析	15
3-1 平面観察	16-24
3-2 平面構造解析(SEM)	25-29
3-3 断面構造解析(SEM)	30-40
4 パッケージ解析.....	41
4-1 パッケージ解析による構造解析.....	42-51
4-2 EDX材料分析	52-64

17G-0003-1



Table of Contents

プロセス解析レポート

【目次】	頁
1 解析結果のまとめ	3
United Silicon Carbide社の「UJN1205K」SiC系JFET	
1.1 SiC JFETチップ全体	4
1.2 チップ端部	4
1.3 デバイス構造: SiC JFET	5
トランジスタの模式的な断面図	5
1.4 チップ全体断面構造	6
1.5 SiC JFETデバイス構造とレイアウト	7
(a) チップ全体断面模式図	
(b) 模式的なレイアウトパターン図	
1.6 構造観察・解析(SEM):トランジスタの構造・プロセスの特徴	8-11
JFETトレンチ構造の詳細	
1.7 SiC JFETチャンネル領域と不純物濃度	12-13
1.8 トランジスタ周辺端部	14
2 「UJN1205K」SiC JFET解析結果まとめ	
表1 デバイス構造 : SiC JFET	15
表2 SiC JFET構造 :レイヤー材料・膜厚	16
3 製造プロセスフロー	
3.1 SiCJFETのフロントエンドウェーハプロセスフロー(推定)	17
3.2 SiC JFETのプロセス・シーケンス断面図	18-20
4 関連特許目録	21
5 関連文献目録	21
6 Appendix: デバイス構造と電気特性解析	22-23

17G-0003-1

