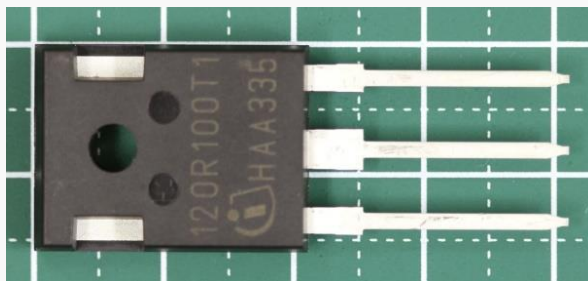


Infineon製SiC J-FET (IJW120R100T1)の構造解析、プロセス解析レポートリリース

2017年7月、株式会社エルテックは、Infineon製SiC JFET(Silicon Carbide-Junction Field Effect Transistor)であるIJW120R100T1の構造、プロセス解析レポートをリリースしました。



パッケージ写真



チップ写真

- ・ このJFETは、低電圧Si-MOSFETを使用し、カスコード接続で使用されるように設計されたノーマリオン・トランジスタです。用途はソーラーインバータや高電圧DC/DCまたはAC/DC変換、双方向インバータになります。
- ・ 特徴としては、最大動作電圧 $V_{dss}=1200V$ 、単位面積あたりのオン抵抗が $RONxA=622m\Omega \cdot mm^2$ (トランジスタ活性領域面積)で、プレーナ型ゲートが用いられています。
- ・ 構造解析レポートでは、トランジスタやパッケージの構造解析、材料分析を、プロセス解析レポートでは、構造解析レポートの結果を基に、製造プロセスフローや、フォト/マスキングのプロセス工程数、エピ層の不純物濃度を分析しています。

販売価格(税別)

構造解析レポート ¥400,000

プロセス解析レポート ¥400,000

17G-0002-1

Table of Contents

構造解析レポート

【目次】		頁
1	デバイスサマリー(表1).....	3
1-1	解析結果まとめ	4
	表2: 実装パッケージ	5
	表3: デバイス構造: SiC JFET.....	6
	表4: デバイス構造: レイヤー材料・膜厚	7
2	パッケージ外観解析.....	8
2-1	外観・X線観察	9-10
2-2	パッケージ内部の構成	11-14
3	SiC JFET解析	15
3-1	平面観察	16-28
3-2	平面構造解析(SEM)	29-33
3-3	断面構造解析(SEM)	34-49
4	パッケージ解析.....	50
4-1	パッケージ解析による構造解析.....	51-61
4-2	EDX材料分析	62-76

17G-0002-1



Table of Contents

プロセス解析レポート

【目次】	頁	
1	解析結果のまとめ	3
	Infineon製「IJW120R100T1」SiC系MOSFET	
1.1	SiC JFETチップ全体	4
1.2	チップ端部	4
1.3	デバイス構造: SiC JFET	5
	トランジスタの模式的な断面図	5
1.4	チップ全体断面構造	6
1.5	SiC JFETデバイス構造とレイアウト	7
	(a) チップ全体断面模式図	
	(b) 模式的なレイアウトパターン図	
1.6	構造観察・解析(SEM):トランジスタの構造・プロセスの特徴	8-12
	JFETチャネル、ゲート電極、PウェルとN+拡散領域の詳細	
1.7	SiC JFETチャネル領域と不純物濃度	13-14
1.8	トランジスタ周辺端部	15
1.9	構造観察・解析(SEM):ゲートパッド周り	16
2	「IJW120R100T1」SiC JFET解析結果まとめ	
	表1 デバイス構造: SiC MOSFET	17
	表2 SiC JFET構造:レイヤー材料・膜厚	18
3	製造プロセスフロー	
3.1	SiCJFETのフロントエンドウェーハプロセスフロー(推定)	19
3.2	SiC JFETのプロセス・シーケンス断面図	20-22
4	関連特許目録	23
5	関連文献目録	23
6	Appendix: デバイス構造と電気特性解析	24-26

17G-0002-1

