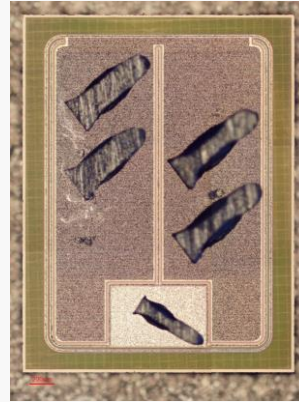


WOLFSPEED(CREE)第3世代SiC系MOSFET C3M0065090D 構造解析・プロセスレポート



Package



チップ写真

- ・ 2016年5月、株式会社エルテックは、WOLFSPEED(CREE社) 第3世代SiC系Nチャンネル Power MOSFETである、C3M0065090Dの構造解析、プロセスレポートをリリースしました。
- ・ この第3世代の製品は、耐圧900V, 36Aの仕様で、単位面積当たりのオン抵抗($R_{ON} \times A$)が $423\text{m}\Omega \times \text{mm}^2$ と非常に低いことが特徴として挙げられます。
※ Si系SJ MOS C7世代の $R_{ON} \times A$ は、 $\sim 1000\text{m}\Omega \times \text{mm}^2$
- ・ 本レポートでは、その低オン抵抗を実現するためのデバイス構造、材料と技術を明らかにしています。
 - ・ トランジスタ構造解析
 - ・ チャネル領域のセルフアライン形成プロセス
 - ・ 抽出されたNエピ層のドーピング濃度プロファイル分析
 - ・ CREE社のSiC MOSFETの参考文献および特許リスト

提供価格(税別)

構造解析レポート ¥330,000

プロセスレポート ¥300,000

16G-0005-1

構造解析レポート

【目次】	頁
1 デバイスサマリー(表1)(エグゼクティブサマリー).....	3
1-1 解析結果まとめ	4
表2: パッケージ構造概要	4
表3: デバイス構造: SiC MOSFET.....	5
表4: デバイス構造: レイヤー材料・膜厚	6-7
2 パッケージ外観解析.....	8
2-1 外観・X線観察	9
3 SiC MOSFET解析	10
3-1 平面観察	11
チップコーナー及び周辺メタル配線	12-32
3-2 平面構造解析(SEM)	33
チップコーナー及び周辺ガードリング構成	34-35
トランジスタセルアレイ	36-38
3-3 断面構造解析(SEM)	39
チップ膜厚	40
トランジスタセルアレイ:ゲート及びソース・Pwell拡散.....	41-47
チップ周辺、チップ端構成	48-51
4 パッケージ解析.....	52
4-1 パッケージ解析による構造解析.....	53-67
4-2 EDX材料分析	68-93

16G-0005-1



プロセスレポート

【目次】	頁	
1	WOLFSPEED(GREE)第3世代SiC系MOSFET C3M0065090D	
1.1	SiC MOSFETチップ全体	3
1.2	チップ端部	
1.3	デバイス構造: SiC MOSFET トランジスタの模式的な断面図	4
	SiC MOSFET構成	5
	(a) チップ全体断面模式図	
	(b) 模式的なレイアウトパターン図	
1.4	平面構造解析 (SEM): トランジスタの構造・プロセスの特徴 トランジスタアレイのソースリセス領域の詳細	6
	MOSFETチャンネル、ゲート電極、PウェルとN+拡散領域の詳細	7
2	C3M0065090D解析結果まとめ	
	表1 デバイス構造 : SiC MOSFET	8
	表2 SiC MOSFET構造 : レイヤー材料・膜厚	9
3	プロセスフロー	
3.1	SiCMOSFETのフロントエンドウェーハプロセスフロー(推定)	10
3.2	SiC MOSFETのプロセス・シーケンス断面図	11-13
3.3	チャンネル長Lchを決定するためのN+およびPウェル拡散の セルフアライン形成プロセスの詳細	14-15
4	N-エピ層不純物濃度解析	16
	1200V (C2M0080120D) および第3世代900V (C3M0065090D) のSiC MOSFET のN-エピドリフト領域プロファイルの比較	17
5	関連文献目録	18
6	関連特許目録	19
7	Appendix	20-21

16G-0005-1

