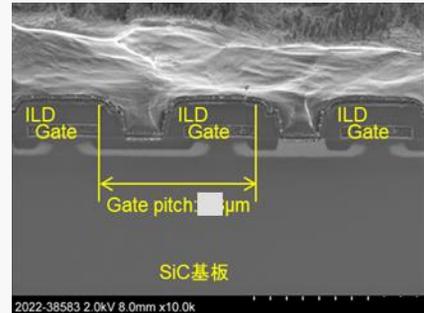
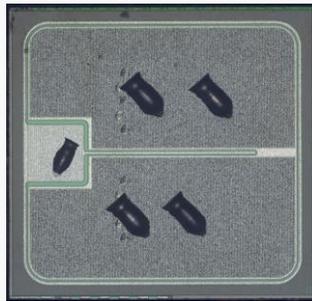


SiC MOSFET (1200V): STMicro社製第3世代SiC MOSFET SCT040W120G3AG 構造、プロセス解析レポート



製品概要と特長

- ・STMicro は、2021 年末に第 3 世代の SiC MOSFET テクノロジーを発表。SCT040W120G3AGは、この技術を使用した同社最新プレーナ型MOSFETの製品となります。
第2世代トランジスタのセルピッチは縮小され、チップサイズと単位面積あたりのオン抵抗(RONxA)を低減することで性能が向上しています。
- ・車載用AEC-Q101認証取得
- ・今回、全世代との構造比較、電気特性、プロセス推定のレポートとなります。

型番 : SCT040W120G3AG 1200V SiC MOSFET Id=40A, Ron=40mΩ 製品リリース日: 2022年11月

解析内容

(1) 構造解析レポート 価格: 80万円(税抜) 発注後1weekで納品

- ・パッケージ,チップ観察
- ・SiC MOSFETの平面解析: 配線接続、レイアウト構成
- ・SiC MOSFETの断面SEM構造解析: セルアレイとチップエッジターミネーション
- ・SiC MOSFETの断面TEM構造解析: セルアレイ
- ・SiC MOSFET SCM解析¹⁾: チャネル、JFET、エピ層、Buffer層
- ・前世代との構造比較

(2) プロセス解析レポート 価格: 60万円(税抜) 発注後1weekで納品

- ・技術動向としての他社デバイス、前世代との比較
- ・デバイス主要構造
- ・電気特性とデバイス構造の相関: RON解析、N-epi不純物濃度の抽出
- ・製造プロセスフロー推定とデバイス特性解析

1) SCM: Scanning Capacitance Microscopy: 導電性探針を用いて半導体表面を走査し、P/Nキャリア分布を二次元的に可視化する手法。

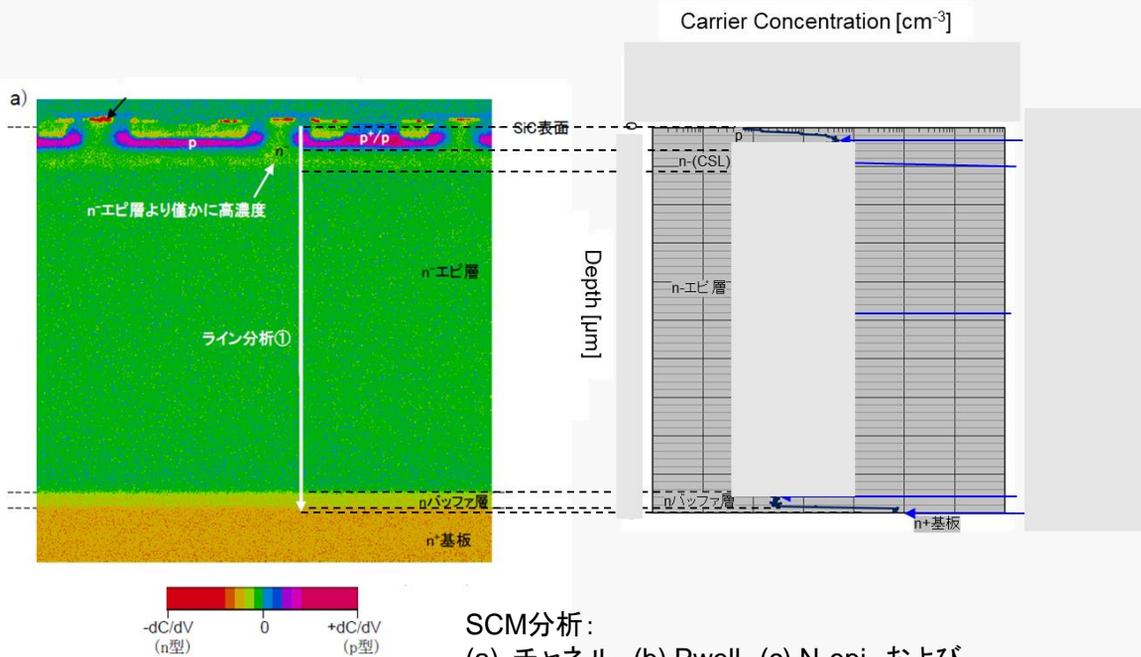
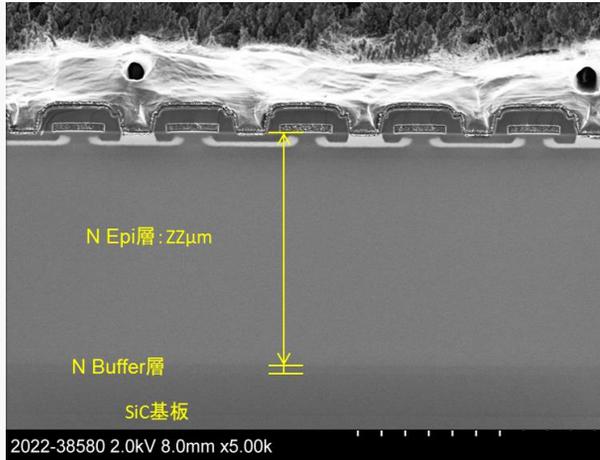
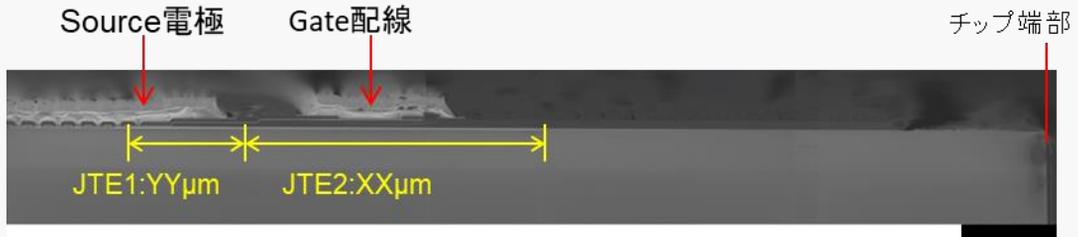
(1) 構造解析レポート

目次

		Page
1. デバイスサマリー	...	3
1-1. 解析結果まとめ	...	4
2. パッケージ解析		
2-1. 外観観察	...	8
2-2. 搭載チップ	...	11
3. SiC MOSFET チップ構造解析		
3-1. 平面構造解析(OM)	...	13
3-2. 平面構造解析(SEM)	...	29
3-3. セル部 断面構造解析	...	33
3-4. チップ外周部 断面構造解析	...	43
4. SCM分析		
4-1. SCM分析結果	...	51
4-2. SCMライン分析結果	...	54
5. TEM解析		
5-1. TEM解析	...	59
6. SCTW40N120G2V(第2世代)との比較	...	66

構造解析レポートの抜粋 (1)

外周部



(2) プロセス解析レポート

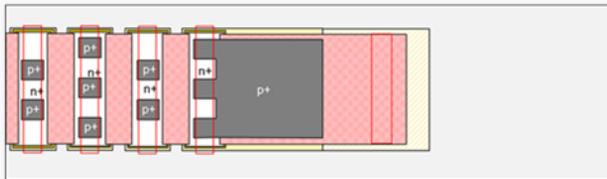
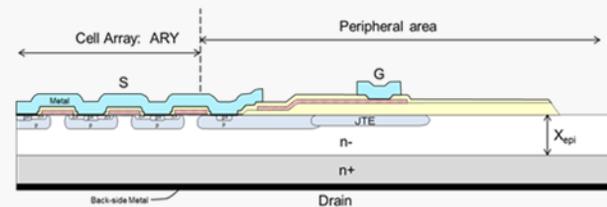
【目次】	頁	
1	STMicroelectronics社のSiC MOSFET 解析結果のまとめ.....	3
	表1-1. STMicro社製品と他社のSiC MOSFETの特性比較	4
1-1.	SiC MOSFETチップ全体	5
1-2	MOSFETチップ外周部 断面構造解析	6
1-3	デバイス構造: SiC MOSFET	7
	トランジスタの模式的な断面図.....	7
	チップ全体断面模式図と模式的なレイアウトパターン.....	8
2	SiC MOSFET観察	9
2-1.	構造解析 (SEM)	10
	トランジスタの構造・プロセスの特徴(1) - (8)	10-19
2-2.	チャネル長Lchを決定するためのN+およびPウェル拡散の セルフアライン形成プロセスの詳細 (推定)	20
2-3.	チャネル形成プロセスの詳細 (推定)	21
2-4.	SiC MOSFET構成とレイアウト層とアライメントツリー (推定)	22
3	STMicroelectronics SiC-MOSFET 解析結果まとめ.....	23
	表3-1 デバイス構造 : SiC MOSFET	24
	表3-2 デバイス構造 : レイヤー材料・膜厚	25
4	プロセスフロー	26
4-1.	SiC MOSFETのフロントエンドウェーハプロセスフロー(推定)	27
4-2.	SiC MOSFETのプロセス・シーケンス断面図	28-31
5	電気特性評価	32
5-1.	STMicro 1200V SiC MOSFET SCT040H120G3AGのId-Vds特 性	33
5-2.	デバイス温度をパラメータとしてオフ状態のドレイン電流対ドレイン 電圧 (Vds) および活性化エネルギー (Ea)	34
5-3.	オフ状態破壊電圧BVdss特性	35
5-4.	ゲートリーク電流I _{gss} 特性	36
5-5.	ボディダイオード特性	37
5-6.	容量 (C _{iss} , C _{oss} , C _{rss})-Vds特性	38
5-7.	デバイス構造と電気特性解析: ON抵抗	39-41
5-8.	Nepi不純物濃度の抽出.....	42
5-9.	デバイス構造と電気特性解析: ブレークダウン電圧	43

プロセス解析レポートの抜粋 (1)

表1-1. STMicro社製品と他社のSiC MOSFETの特性比較

Maker	Part no.	プロセス世代	生産	Vdss [V]	DC Id [A] @ Tc=25°C	DC Id [A] @ Tc=100°C	RON [mΩ]	チップ面積 [mm ²]	トランジスタ面積 [mm ²]	有効RONxA mΩ・mm ²	Intrinsic RONxA mΩ・mm ²	素子構成	
ROHM	SCH2080KE	第2	2012	1200	40	28	80	12.9	10.1	1031	811	Planer	Square
ROHM	SCT3080KL/HR	第3	2016	1200	31	22	80	7.3	5.1	580	408	Trench	Square
ROHM	SCT4062KR	第4	2022	1200	26	18	62					Trench	Stripe
STMicro	SCTW40N120G2V	第2	2020	1200	36	27	62					Planer	Stripe
STMicro	SCT040N120G3AG	第3	2022	1200	40	40	40					Planer	Stripe
WOLFSPEED (CREE)	C3M0075120K	第3	2017	1200	32	23	75					Planer	Stripe
ONSEMI	NVHL080N120SC1	第1	2018	1200	31	22	80					Planer	Square
ONSEMI	NTH4L022N120M3S	第3	2022	1200	68	48	22					Planer	Stripe
INFINEON	AIMW120R060M1H	第1+	2021	1200	36	26	60					Trench	Stripe
TOSHIBA	TW060N120C	第3	2022	1200	36	26	60					Planer	Stripe
GeneSiC	G3R75MT12K	第3	2020	1200	31	22	75					Planer	Stripe

2-4. SiC MOSFET configuration, layout layers and alignment tree



- JTE1/JTE2
- PW1/PW2
- N+
- P+
- Poly-Si
- CO

- AM: Alig
- JFET: P
- JTE: Jur
- PW1: SF
- PW2: Dc
- N+: Sou
- P+: P+ c
- FOX1: F
- FOX2: F
- GP: Gat
- CO: P+,
- GC: Gat
- MR: Mel
- BW: Bor

Possible Alignment Tree



Fig.2-4-1 レイアウト層とアライメントツリー(推定)

プロセス解析レポートの抜粋 (2)

2-3. チャンネル形成プロセスの詳細 (推定)

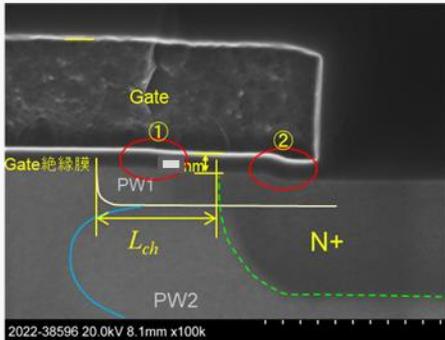
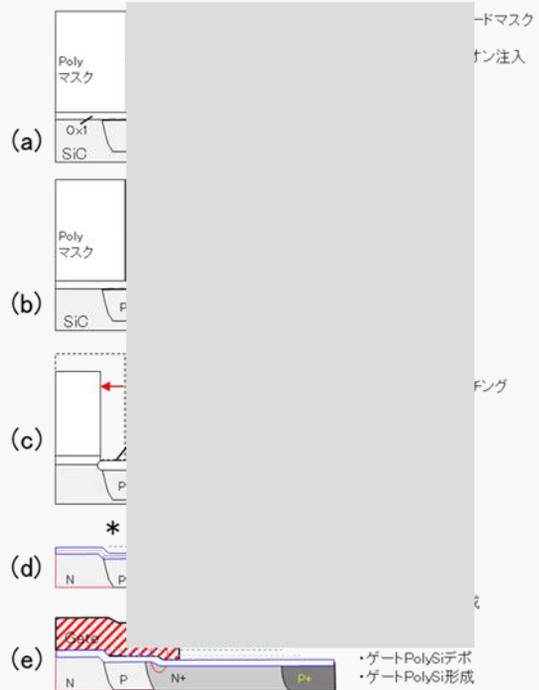
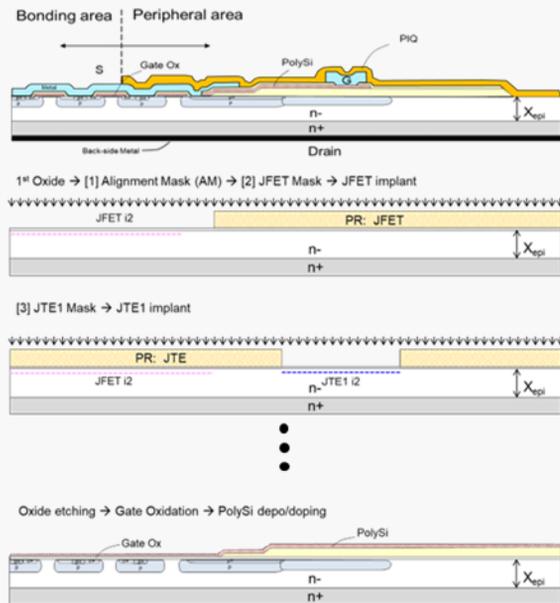


Fig. 2-3-1 MOSFETチャンネル周辺のSEM断面詳細

「階段のような」表面を形成するSide-wall/スクリーニング酸化プロセスの詳細(a, b)および最終ゲート酸化(c)。



4-2. SiC MOSFETのプロセス・シーケンス



プロセス解析レポートの抜粋 (1)

5-7 デバイス構造と電気特性解析:ON抵抗成分解析

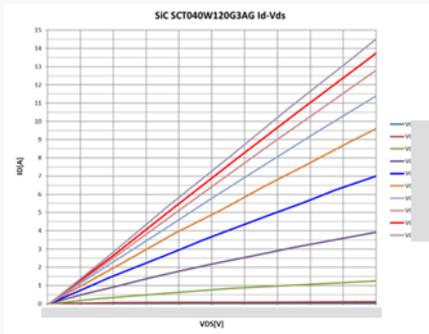
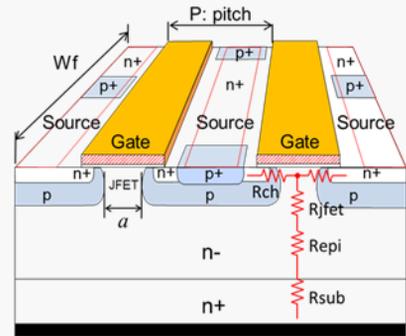


Fig. 5-7-1(a) Id-Vds特性



Drain

Fig. 5-7-1(b) プレーナSiC MOSFETの模式図

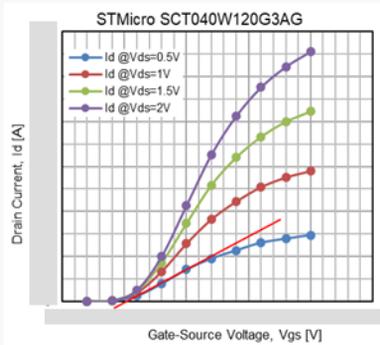


Fig. 5-7-1(c) Id-Vgs特性

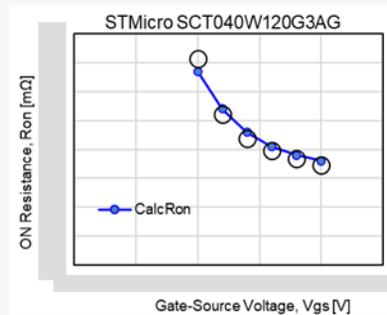


Fig. 5-7-3 実測RON(丸印)とモデル計算RON(青線)の比較

5-8. Nepi不純物濃度の抽出

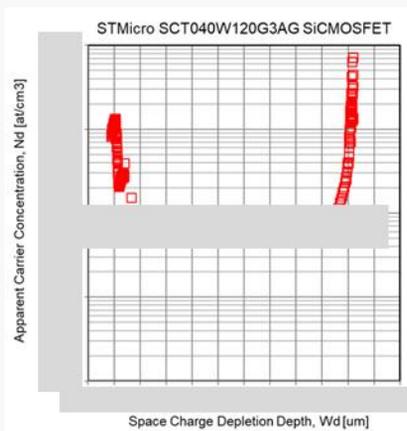


Fig. 5-8-1(a) 深さ方向のキャリア濃度プロファイル

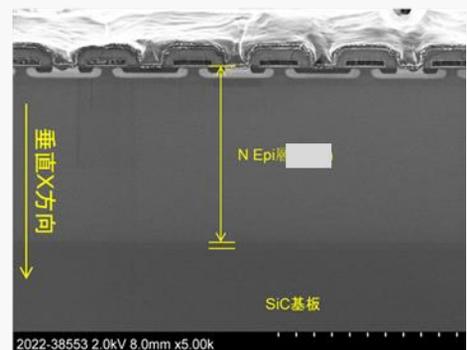


Fig. 5-8-1(b) SEM断面