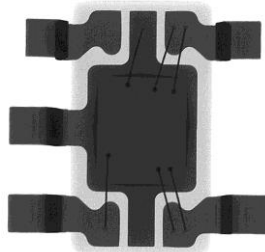


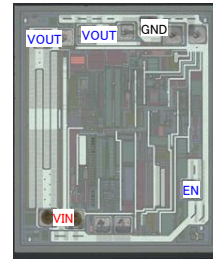
LDO: ローム製 BD933N1WG-CTR 回路解析レポート



Package



X線写真



Chip Overview

レポート概要

近年、自動車分野においては、電気自動車や自動運転技術の進歩に伴う技術革新により、電子部品の搭載数は年々増加しており、回路の安定動作はそのままに、コスト、低消費電力化、小型化の点から、搭載部品(コンデンサ)の削減の要望が増えている。

2022年に発売されたローム「Nano Cap™」「QuiCur™」技術を採用した製品で、車載LDOレギュレータICとして電源回路のコンデンサ容量低減、応答性能の向上を実現している。

本レポートでは、ローム製 BD933N1WG-CTR にて回路解析を行い素子レイアウト、回路構成を明らかにしています。

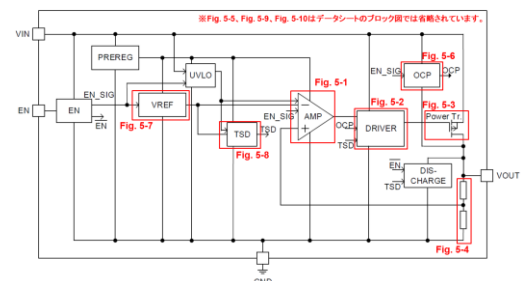
製品特徴

- ・45V耐圧、出力電流150mA、消費電流28 μ A(Typ)、出力電圧は精度 $\pm 2.0\%$
- ・ROHM独自の回路技術「Nano Cap™」「QuiCur™」を用いた低暗電流リニアレギュレータ。
出力コンデンサは100nF(Typ)から使用可能で、小容量でも圧倒的な過渡応答を実現している。
- ・今回の回路解析結果から、回路の特徴として、LDO内のエラーアンプを2段構成にすることで周波数特性の向上。一般的なLDOで使用される電圧帰還による制御に加え、DC-DCコンバータで使用される電流帰還による制御(低抵抗による電流検出)を加えていることが確認できている。

解析内容

- ・PKG、X線、チップ全体写真(各層)
- ・PDF版回路図
- ・回路図データ(EDIF形式)
- ・素子サイズ測長あり

※Nano Cap™、QuiCur™に関する回路機能についての回路解析レポート(右下ブロック図赤枠部)



データシートブロック図

レポート価格

価格: ¥1,240,000 (税抜)

発注後1weekで納品

目次

		Page
Table 1	Device Summary	5
Fig. 1-2-1	Package (Top View)	6
Fig. 1-2-2	Package (Bottom View)	6
Fig. 1-3	Package X-Ray	7
Fig. 1-4-1	Die Size (3rd Metal Layer)	8
Fig. 1-4-2	Die Marking	8
Fig. 1-4-3	Die Overview (3rd Metal Layer)	9
Fig. 1-4-4	Die Overview (2nd Metal Layer)	10
Fig. 1-4-5	Die Overview (1st Metal Layer)	11
Fig. 1-4-6	Die Overview (Poly-Si Layer)	12
Fig. 1-5-1	Pin Assignment (Datasheet)	13
Fig. 1-5-2	Pin Assignment (X-Ray)	13
Fig. 1-5-3	Pin Assignment (Die Overview)	13
Fig. 2-1-1	Enhancement MOS Transistor1	14
Fig. 2-1-2	Enhancement MOS Transistor2	15
Fig. 2-1-3	Depletion MOS Transistor	16
Fig. 2-1-4	HVMOS Transistor1	17
Fig. 2-1-5	HVMOS Transistor2	18
Fig. 2-2	Bipolar Transistor (NPN Type)	19
Fig. 2-3-1	Poly-Si Resistor	20
Fig. 2-3-2	Diffusion Resistor	20
Fig. 2-4	PolySi-Insulator-PolySi Capacitor	21
Fig. 2-5-1	Diode1	22
Fig. 2-5-2	Diode2	22
Fig. 2-6-1	Fuse1 (Intact)	23
Fig. 2-6-2	Fuse2 (Blown)	23
Fig. 2-7	Small Test Pad	24
Fig. 2-8	Cell Parameters	25
Fig. 3-1	Analysis Area	26
Table 3	Function	26
Fig. 3-2	Functional Block Diagram (vs Datasheet)	27
Fig. 4	回路について	28
Fig. 5	Top Block	29
Fig. 5-1	Error Amplifier	30
Fig. 5-2	Driver	31
Fig. 5-3	Output Transistor	32
Fig. 5-4	Voltage Feedback	33
Fig. 5-5	Current Feedback	34
Fig. 5-6	OCP	35
Fig. 5-7	Vref Generator	36
Fig. 5-7-1	Voltage Divider	37
Fig. 5-8	Thermal Shutdown	38
Fig. 5-9	Bias Generator	39
Fig. 5-10	OR Circuit	40
	Cell List	41-57