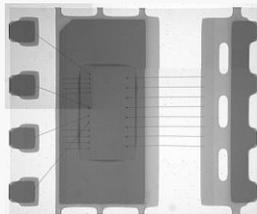


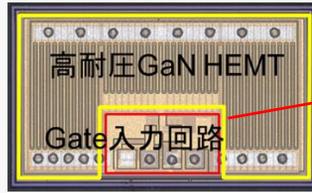
GaN HEMT(650V): Cambridge GaN Devices (CGD65B200S2)
構造解析、プロセス解析、回路解析レポート



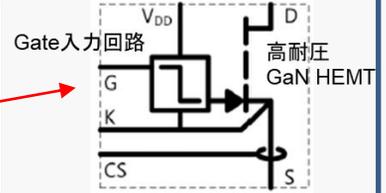
PKG写真



X線



GaN HEMTチップ



回路構成

レポート概要

英国の新興企業であるCambridge GaN Devices社 (CGD) は、シングルチップ上にゲート入力回路を備えた新しい650V GaN HEMTを発表しました。今回その解析レポートとして下記の3つをリリースします。

- (1) パッケージの断面構造、GaNチップの平面、断面構造、組成分析を行う構造解析レポート
- (2) 製造プロセスフロー推定、デバイス構造と電気特性関連の考察を行うプロセス解析レポート
- (3) 本製品の特徴でもあるゲート入力回路部の回路解析レポート

製品仕様・特徴

型番: **CGD65B200S2** Vds=650V Id=8.5A Ron=200mΩ 製品リリース日: 2022年12月

- ・ICeGaN™ (Integrated Circuit Enhancement GaN)ゲート テクノロジー採用製品
- ・Si-Power MOSFETまたはSJ-MOSFETと同様のゲートドライバーでの動作可能
- ・電流検出機能搭載されており、外部検出抵抗が不必要

レポート内容・結果概要 (各レポートの目次はP.2、P.4 と P.6 を参照)

① 構造解析レポート 価格: ¥1,000,000(税別) 発注後1weekで納品

- ・ノーマリーオン、ノーマリーオフ (Depletion)GaN FET、2DEGとメタル抵抗素子、およびMIM容量を使用したアナログと単純なデジタル機能を統合したGaN 集積回路 (GaN IC) である。これらの素子の構造の特徴を解析する。
- ・5層メタル配線が使用されている。
- ・基本構造はAlGaN/GaN-epi-on-Siウエハ基板であり、TEMおよびEDX分析によって特徴付けられる。

② プロセス解析レポート 価格: ¥650,000(税別) 発注後1weekで納品

- ・構造的特徴と他のGaN製品との比較により、製造元の識別が可能である。
- ・詳細な製造プロセス フローとフォトマスクング手順を推定。
- ・パワーGaN FETの実際の耐圧(BVdss)を測定し、動作マージンを測定する。
- ・GaNチップ面積を節約するため、一部の回路素子はメタルパッドの下にレイアウトされている。

③ 回路解析レポート 価格: ¥400,000(税別) 発注後1weekで納品

- ・ゲート入力回路は、650V パワー FET に適用される最大ゲート電圧を制限するために使用されている。
- ・ゲート入力回路の面積は約0.3mm²で、CGD65A055S2(Ron=55mΩ) も同じ回路ブロックが使われている。
- ・ESD保護回路が明確化される。
- ・回路基準電圧はICeGaN内で生成される (Navitas製NV6117では外部ツェナーを使用)

① 構造解析レポートからの抜粋(1)

【目次】		Page
1	デバイスサマリー(表1)	3
2	解析結果まとめ	4
	デバイス構造(表2).....	5
	デバイス構造 レイヤー構造・膜厚(表3).....	6
3	パッケージ 解析.....	7
3-1	外観観察.....	8
3-2	X線観察	9
3-3	チップ平面観察.....	10
4	平面構造解析	13
4-1	平面OM構造解析.....	14
4-2	平面SEM構造解析.....	33
5	断面SEM構造解析	37
5-1	Die厚.....	38
5-2	素子部断面観察	39
5-3	チップ端部断面観察.....	45
6	断面TEM構造解析.....	48
6-1	GaN-Epi層・Ohmic Metal 断面観察.....	49
7	TEM-EDX分析	59
7-1	GaN-Epi層のSEM/TEM EDXによる構造/材料分析.....	60
8	他社製品との構造比較.....	61
8-1	平面・断面比較.....	62
9	制御IC解析.....	64
	デバイス構造(表4).....	65
9-1	平面・断面構造解析.....	66
10	付録解析チップEDX分析データ.....	71

① 構造解析レポートからの抜粋(2)

表 1: デバイスサマリー

品種	GaN HEMT (Vds=650V Id=8.5A Ron=200mΩ)	
メーカー	Cam	
型番	CGD	
パッケージ	DFN	
パッケージマーキング	CGD	
GaNチップマーキング	VC	
GaN HEMTチップサイズ	1.32	
GaNチップ製造プロセス	<ul style="list-style-type: none"> • SiC • Epi • /AlC • チャ 	N/GaN](9.0/17.0nm) (nm)
GaNメタル配線	<ul style="list-style-type: none"> OM: O M1: C M2: F M3: S M4: S M5: S 	
特徴	<ul style="list-style-type: none"> • ゲー • Sou • 最 • フィールド分離は注入層C形状(推定) • ノーマリアップGaN HEMT 	
応用	<ul style="list-style-type: none"> • PSU、産業用SMPS、インバータ • モバイル充電器、急速充電器 • AC/DCおよびDC/DCコンバータ • ACアダプター 	

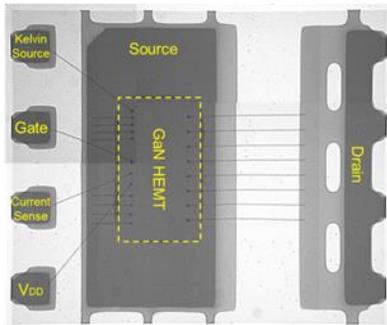


Fig. 1 X線像 (正面/側面)

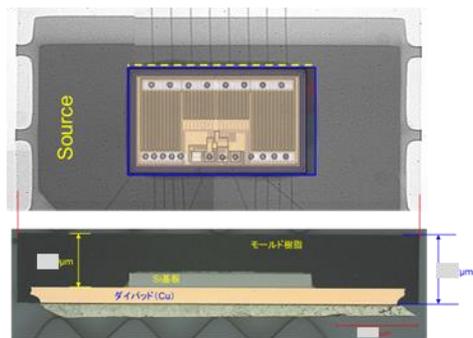
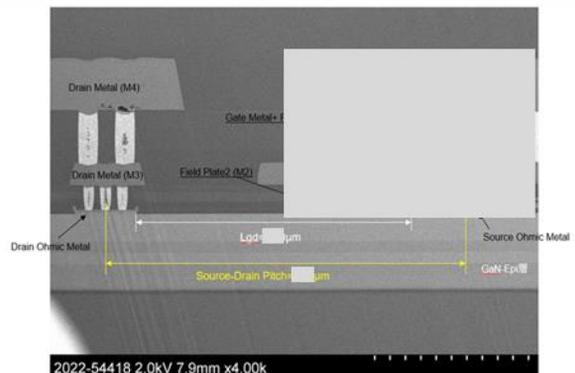


Fig. 2 パッケージ断面 全体OM像



GaN-Epi構造



素子部全体像

② プロセス解析レポートからの抜粋(1)

【目次】		Page
1	1-1 エグゼクティブサマリー	3
	1-2 CAMBRIDGE GaN DevicesのCGD65B200S2 パワーGaN IC	4
	1-3 600-650V GaN製品の比較(CAMBRIDGE GaN Devices, NAVITAS, GaN Systems, INFINEON)	5
2	回路機能ブロック解析	9
	2-1 回路構成と高耐圧GaNトランジスタ.....	10
	2-2 回路機能ブロック概要	11
	2-3 CAMBRIDGE パワーGaN IC集積回路の素子構成	12
	2-4 GaN素子の構造解析結果のまとめ	13
	表 2: デバイス構造: 高耐圧(650V)GaN HEMT	13
	表 3: デバイス構造:低耐圧(~20V) ノーマリOFF (Enhancement) GaN HEMT.....	14
	表 4: デバイス構造:低耐圧(~20V) ノーマリON (Depletion) GaN HEMT	15
	表 5: デバイス構造: 抵抗素子.....	16
	表 6: デバイス構造: 静電容量素子.....	17
	表 7: デバイス構造: レイヤー材料・膜厚	18
3	観察	19
	3-1 GaN HEMTチップ全体.....	20
	3-2 構造解析(SEM・TEM).....	21
4	プロセスフロー	29
	4-1 GaN HEMTのフロントエンドウェハプロセスフロー(推定)	30
	4-2 GaN HEMTのプロセス・シーケンス断面図推定	31
5	電気特性評価	35
	5-1 順方向ドレイン特性 Id-Vds	36
	5-2 順方向ドレイン特性 Id-Vgs	37
	5-3 オフ状態(Vgs=0)ドレインリーク電流の電圧(Vds)と温度依存性.....	38
	5-4 オフ状態破壊電圧BVdss特性と動作マージン	39
	5-5 650V GaN HEMTのON抵抗の解析および2DEGシート抵抗とAlGaIn障壁層Al組成の推定	40
	GaN HEMT 2DEGシート抵抗およびキャリア濃度の推定.....	42
6	REFERENCES.....	43

② プロセス解析レポートからの抜粋(2)

1-3. 600-650V GaN製品の比較(CAMBRIDGE GaN Devices, NAVITAS, GaN Systems, INFINEON)

		CAMBRIDGE GaN Devices	NAVITAS	GaN Systems	INFINEON
Part		CGD65B200S2	NV6117	GS66504B	IGT60R190D1S
Package		DFN 5x6	QFN 5x6	5x6.6	PG-HSOF-8-3
Integrated Gate Driver ?		Yes ★	Yes ★	No	No
Vdss	V	650	650	650	600
RON	mΩ	200	110	100	140
Coss (er) @Vds=400V	pF	21	45	44	28
GaN size	mm x mm				2.25 x 2.21
GaN area, A	[mm ²]				4.97
GaN Active area, AA	mm ²				2.10
Effective RONxA	mΩ・mm ²				696
Intrinsic RONxA	mΩ・mm ²				294
Coss/AA	pF/mm ²				13.3
RON x Coss(er)	mΩ・pF				4200

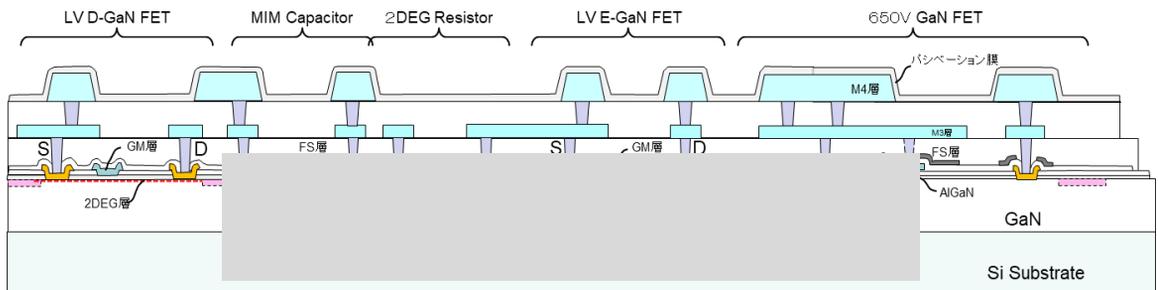
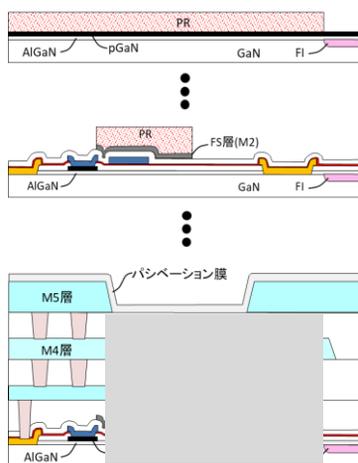


Fig. 2-3-1 統合された素子構成を示すGaN-ICの概略断面図。



4-2. GaN HEMTのプロセス・シーケンス断面図

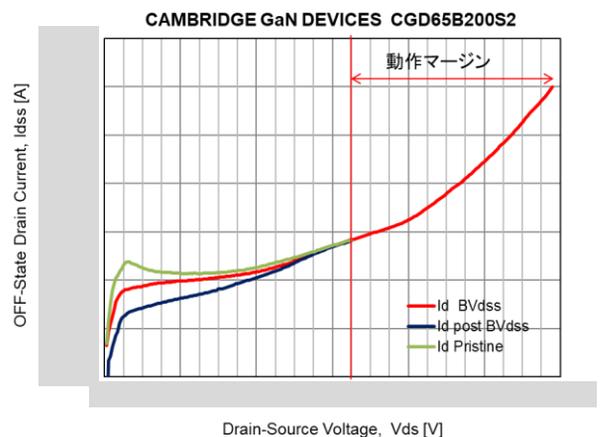


Fig. 5-4-1 OFF状態ドレインブレークダウン特性

③ 回路解析レポートからの抜粋(1)

Table of Contents

	Page
1. Summary of Analysis Results	4
2. Overview	6
2-1. Device Summary.....	6
2-2. Package.....	7
2-3. Package X-Ray	8
2-4. Die Overview.....	9
2-5. Pin Assignment	15
3. Elements	16
3-1. GaN Transistor.....	16
3-2. Resistor.....	18
3-3. Capacitor	19
3-4. Cell Parameters	20
4. Analysis Area	21
5. Circuits	22

③ 回路解析レポートからの抜粋(2)

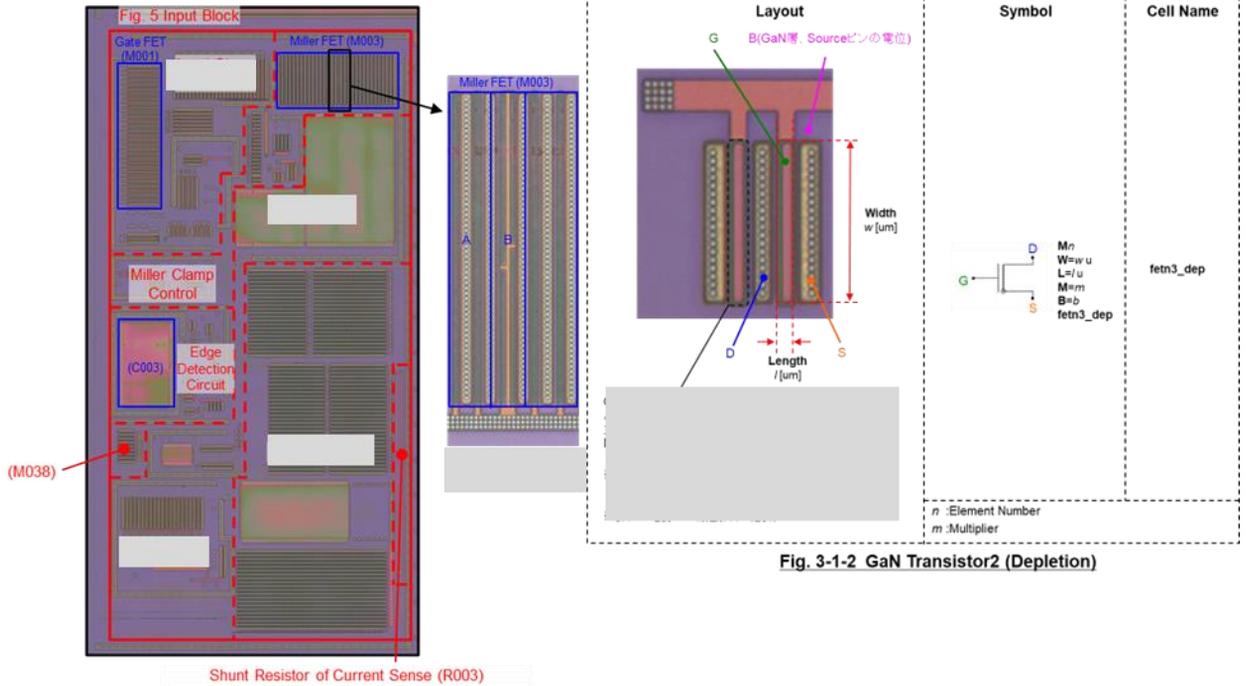


Fig. 3-1-2 GaN Transistor2 (Depletion)

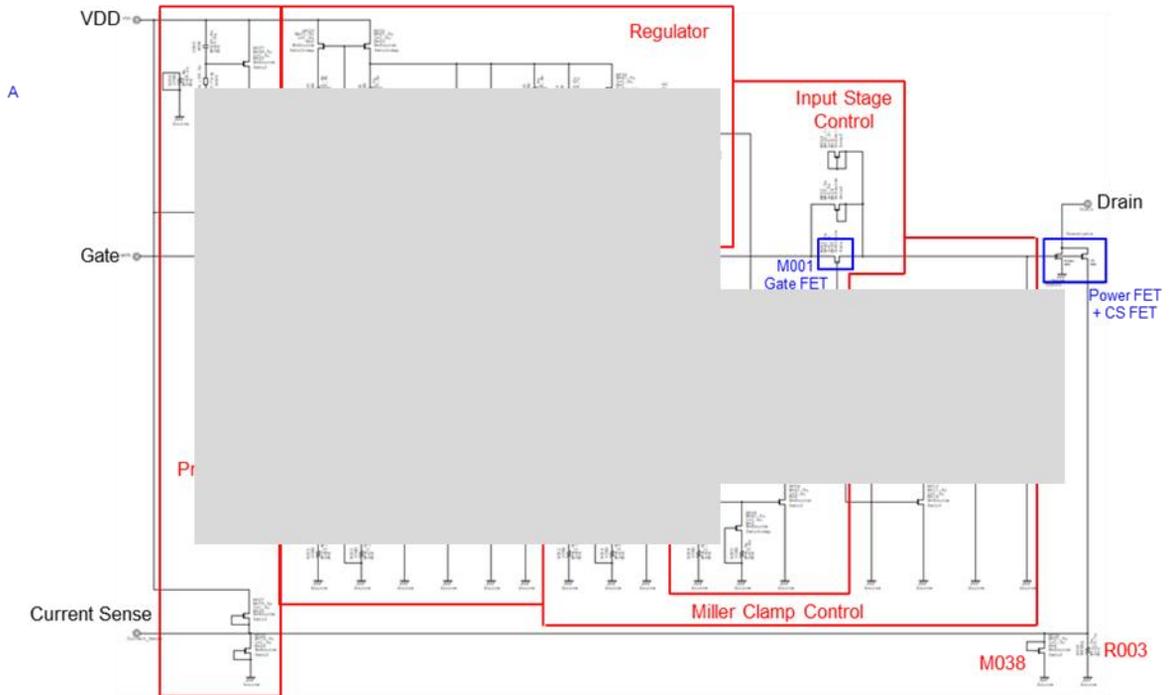


Fig. 1-2: Summary of circuit analysis.