

SiC MOSFET(1200V): Nexperia製 NSF080120L3A0 構造解析、プロセス解析、 短絡耐量評価レポート



パッケージ外観



SiC MOSFET

レポート概要

2023年11月、三菱電機とNexperiaはSiCパワー半導体を共同で開発すると発表を行い、Nexperiaから初のSiC MOSFETがリリースされました。

このNexperiaからリリースされたSiC MOSFETについて、以下の3つのレポートをリリースし、本製品の構造、電気特性、プロセス、短絡耐量の特徴を明らかにしています。

- ① パッケージ断面、トランジスタ構造の解析を行う構造解析レポート
- ② 製造工程の推定、電気的特性評価、さらに三菱電機製SiC MOSFETとの比較を行うプロセス解析レポート
- ③ 短絡耐量評価・解析レポート

製品特徴

型番: NSF080120L3A0 1200V SiC MOSFET, $I_d=35A$, $R_{DS(on)}=80\text{ m}\Omega$, 製品リリース日: 2023年12月

アプリケーション: 電気自動車の充電インフラ、太陽光発電インバータ、スイッチモード電源、モータードライブ

レポート内容・結果概要 (各レポートの内容はP.2, P.4, P7を参照)

① 構造解析レポート 価格 ¥650,000 (税別) 発注後1weekで納品

- ・最先端の薄型SiCチップ(~100um)。
- ・セルピッチを狭めたプレーナゲート構造。
- ・斬新なN+内蔵周辺JTE (Junction Termination Extension) 構造。

② プロセス解析レポート 価格 ¥700,000 (税別) 発注後1weekで納品

- ・他社の1200V SiC MOSFETとの比較により、第3世代SiCレベルのRONxAが判明。
- ・トランジスタは I_{dss} -vs- V_{ds} が滑らかで、結晶欠陥によって引き起こされる「こぶ」や早期アバランシェ電流 (1200V 未満) を示さない。
- ・過去当社解析の三菱電機製品との特性、構造比較により同社供給のデバイスと推定される。

③ 短絡耐量評価・解析レポート 価格 ¥600,000 (税別) 発注後1weekで納品

- ・SCWT (Short-Circuit Withstand Time) は、大手SiCメーカーの第3世代1200V定格SiC MOSFETと同等。
- ・SiC MOSFETの最も低い短絡ピーク電流密度: JFET設計に関連。
- ・臨界短絡エネルギー ($E_{sc,f}$) と故障温度 ($T_{j,crit}$) を抽出。
- ・安全にターンオフするための最大短絡時間を抽出。

① 構造解析レポートからの抜粋(1)

【目次】	Page
1 デバイスサマリー	
Table1-1: デバイスサマリー	… 3
1-1. 解析結果まとめ	… 4
Table1-2: デバイス構造: SiC MOSFET	… 5
Table1-3: デバイス構造: レイヤー材料・膜厚	… 6
Table1-4: デバイス構造: 実装パッケージ構造概要	… 7
2 パッケージ解析	… 8
2-1. 外観観察	… 9-11
2-2. 搭載チップ観察	… 12
2-3. パッケージ断面構造解析	… 13-24
3 SiC MOSFETチップ構造解析	… 25
3-1. 平面構造解析(OM)	… 26-41
3-2. 平面構造解析(SEM)	… 42-50
3-3. セル部 断面構造解析(SEM)	… 51-59
3-4. チップ外周部 断面構造解析(SEM)	… 60-68
3-5. Gate電極パッド部 断面構造解析(SEM)	… 69-70
4 TEM構造解析	… 71-78
5 SiC MOSFET裏面構造解析	… 79-81

① 構造解析レポートからの抜粋(2)

Table1-3: デバイス構造: レイヤー材料・膜厚

層の記述	膜厚	材料	プロパティ
ウェハタイプ・構成 (Bulk, Epi)	100um		Crystal Orientation: 未評価
N-epi層			
N Buffer層			形成。
P拡散深さ			
N+拡散深さ			
ゲート電極構造・材料			
ゲート酸化膜			
フィールド酸化膜			
シリサイド			
ソースバリアメタル			
ソースメタル			
ILD (ゲート・メタル間)			
パッシベーション膜			
有機保護膜			
チップ裏面メタル			

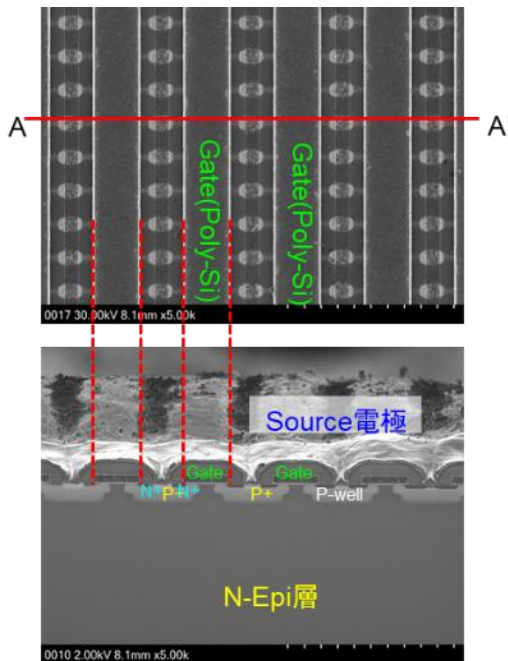


Fig. 3-3-5 セル部 断面SEM像

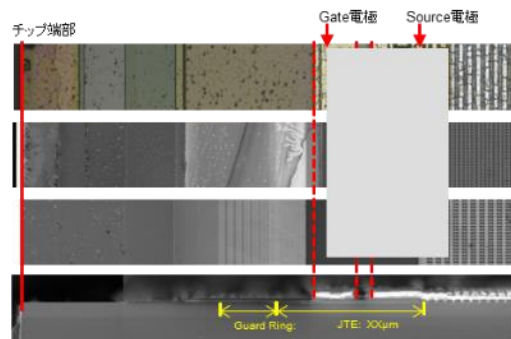


Fig. 3-4-1 チップ外周部 断面SEM像

② プロセス解析レポートからの抜粋(1)

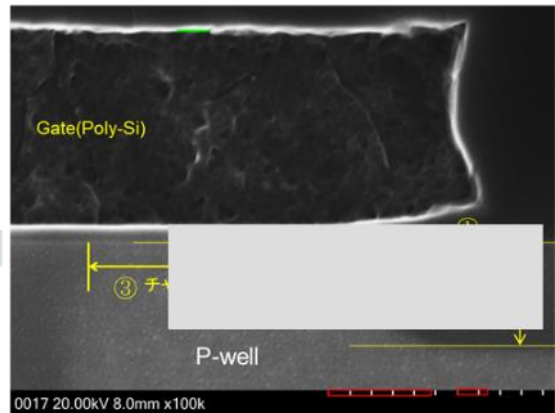
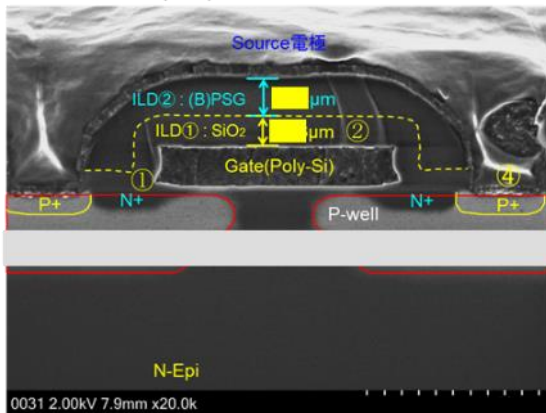
【目次】	Page
1 NEXPERIA社製のSiC-MOSFET 解析結果のまとめ	... 3
1-1. NEXPERIA社製品と他社のSiC-MOSFETの特性比較	... 4
1-2. SiC-MOSFETチップ全体	... 5
1-3. チップ端部	... 6-7
1-4. デバイス構造: SiC-MOSFET	... 8-10
トランジスタの模式的な断面図	... 9
2 SiC-MOSFET観察	
2-1. トランジスタの構造・プロセスの特徴(1) - (2)	... 11-12
2-2. チャネル長Lchを決定するためのN+およびPウェル拡散のセルフアライン形成プロセスの詳細(推定)	... 13
3 NEXPERIA社製のSiC系MOSFET 解析結果まとめ	
表1. デバイス構造: SiC-MOSFET	... 14
表2. SiC-MOSFET 構造: レイヤー材料・膜厚	... 15
4 プロセスフロー	
4-1. SiC-MOSFET のフロントエンドウェーハプロセスフロー(推定)	... 16
4-2. SiC-MOSFET のプロセス・シーケンス断面図	... 17-21
5 電気特性解析	... 22
5-1. NEXPERIA製SiC-MOSFET のId-Vds特性とRON温度依存性	... 23-24
5-2. デバイス温度をパラメータとしてオフ状態のドレイン電流対ドレイン電圧(Vds)および活性化エネルギー(Ea)	... 25
5-3. オフ状態破壊電圧BVdss特性	... 26
5-4. メーカー間のリーク電流の比較	... 27
5-5. 容量(Ciss, Coss, Crss)-Vds特性	... 28
5-6. デバイス構造と電気特性解析: ON抵抗	... 29-30
5-7. N-エピ層不純物濃度解析	... 31
5-8. デバイス構造と電気特性解析: ブレークダウン電圧	... 32
6 NEXPERIA対三菱電機のSiC MOSFET比較	... 33-37
7 関連文献目録	... 38

② プロセス解析レポートからの抜粋(2)

2. SiC-MOSFET 観察

2-1. 断面構造解析(SEM)

トランジスタの構造・プロセスの特徴(1)

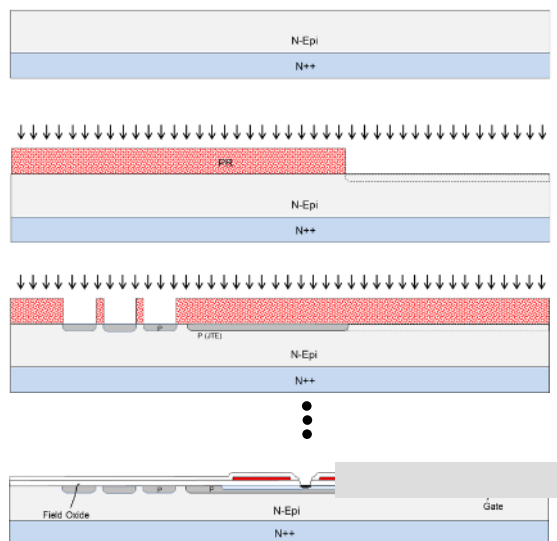
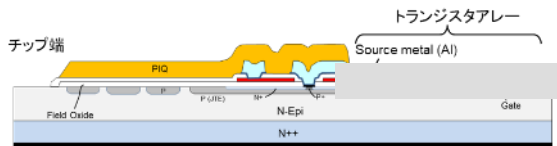


・観察:

- 1) GP(Gate Poly-Si)の厚さが、通常のSi-MOSFETよりも厚い。
- 2) 厚いゲート層により、ゲート電圧の低下が低減される。
- 3) GPエッチングが深くなる。
- 4) 再酸化層には、

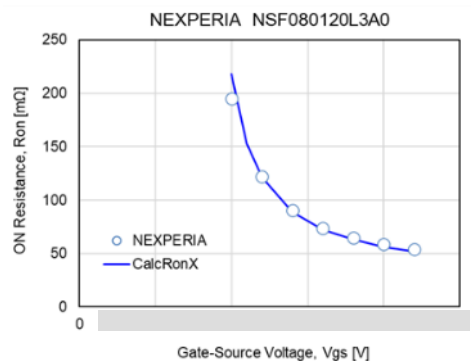
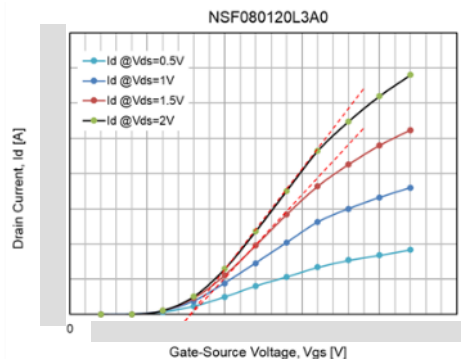
Fig.2-1-1: SiCトランジスタセル断面SEM画像

- 5) チャンネル長が短くなる。
- 6) チャンネル長が短くなる。
- 7) Niシド追加工序が追加される。
- 8) 厚い



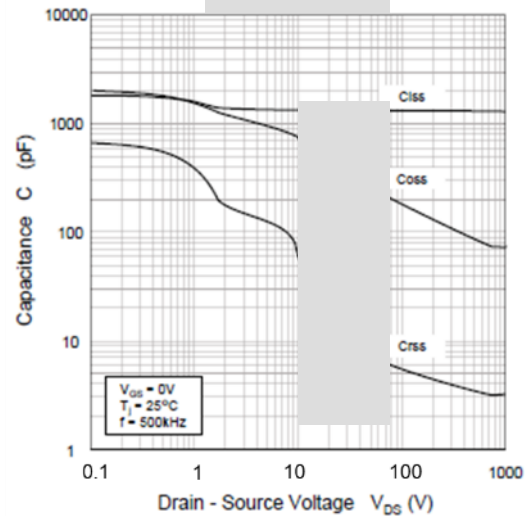
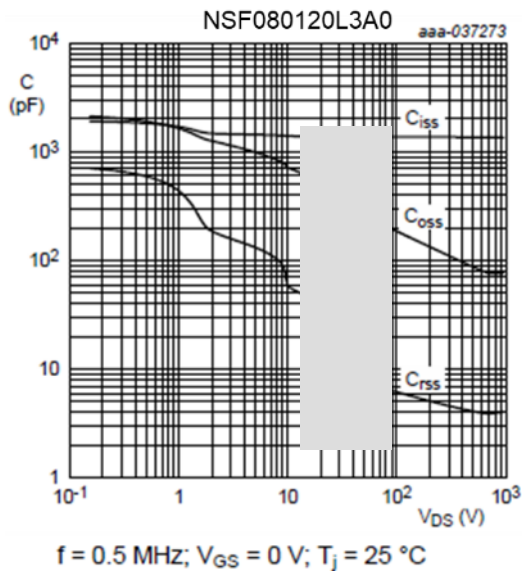
SiCウェハ

- [1] Al
- [2] N
- [3] J
- [4] Al

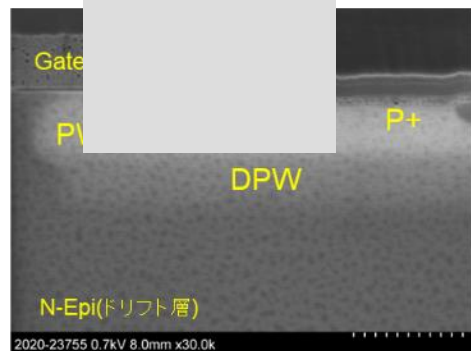
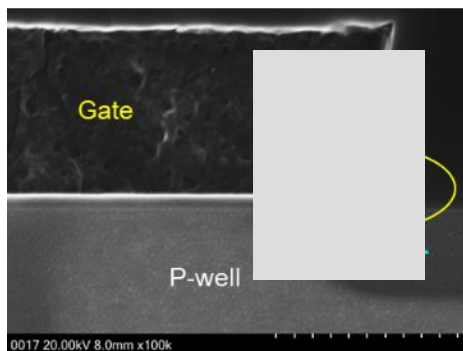
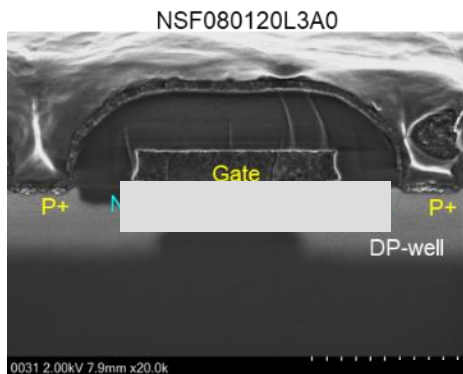


② プロセス解析レポートからの抜粋(3)

6-1 NEXPERIA対三菱電機のSiC MOSFET電気特性(Datasheet)の比較:



6-2 NEXPERIA対三菱電機のSiC MOSFET構造的特徴の比較:



③ 短絡耐量評価・解析レポートからの抜粋(1)

【目次】		Page
1	背景、目的とエグゼクティブサマリー	3
	はじめに	4
2	NEXPERIA社製 SiC MOSFET「NSF080120L3A0」デバイス構造	5
2-1.	デバイス構造/材料解析	5
	表1. 構造パラメータの概要	6
3	NEXPERIA社製のSiC系MOSFET 解析結果まとめ	7
3-1.	短絡試験回路	8
3-2.	短絡耐量試験評価条件	9
4	短絡耐量試験測定結果	10
4-1.	短絡耐量試験：電圧および電流波形結果	11-20
	表3: NEXPERIA社製 SiC MOSFET「NSF080120L3A0」の短絡耐量特性測定結果まとめ	21
4-2.	測定結果の解析と考察	22
	短絡時ピークドレイン電流 $I_{sc, pk}$ 対ドレイン電圧 V_{ds} とゲート電圧 V_{gs} の依存性	23
	短絡破壊時間(耐久時間) $t_{sc, f}$ 対ドレイン電圧依存性	24
	ドレイン電圧 V_{ds} に対する短絡エネルギー $E_{sc, f}$	25
	短絡故障時間($t_{sc, f}$)と熱暴走を支配する時間 t_{ra} の消費電力 $Pd = (V_{ds} \times Id)$ 依存性	26
4-3.	ゲートリーク電流に関する考察	27-28
	測定された短絡時間($t_{sc, f}$)と消費(放熱)電力密度の比較 $Pd/A = (V_{ds} \times Id)/A$.	30
4-4.	遅延短絡破壊と安全なターンオフのための最大ターンオン時間($t_{sc, on}$)	31
4-5.	温度上昇 ΔTj の解析と推定	32-33
4-6.	電熱モデルを使用して推定された臨界トランジスタ内部温度	34
4-7.	温度上昇 ΔTj の解析と推定	35
4-8.	オン抵抗と短絡耐量時間のトレードオフ	36
5	NEXPERIA社第1世代とWolfspeed第3世代のSiCトランジスタの構造比較	37
5-1.	NEXPERIA NSF080120L3A0, とWolfspeed第3世代のSiCトランジスタの構造比較	38
5-2.	1200V NEXPERIA NSF080120L3A0とWolfspeed C3M0075120K電気特性比較	39
	ROHM、STMicro、NEXPERIA と Wolfspeedトランジスタ短絡ドレイン電流波形の比較	40-41
	臨界短絡エネルギー($E_{sc, f}$)と破壊までの時間 $t_{sc, f}$ の依存性	42
5-3.	NEXPERIA NSF080120L3A0とWolfspeed第3世代のSiCトランジスタの短絡耐量比較	43
6	まとめ	44
	短絡耐量時間($t_{sc, f}$ =SCWT)と単位面積当たりのオン抵抗指数(RONxA)の一般的なトレンド	45
7	参考文献	46
	Appendix: 温度上昇 ΔTj の解析と推定	47

③ 短絡耐量評価・解析レポートからの抜粋(2)

3.1 短絡試験回路

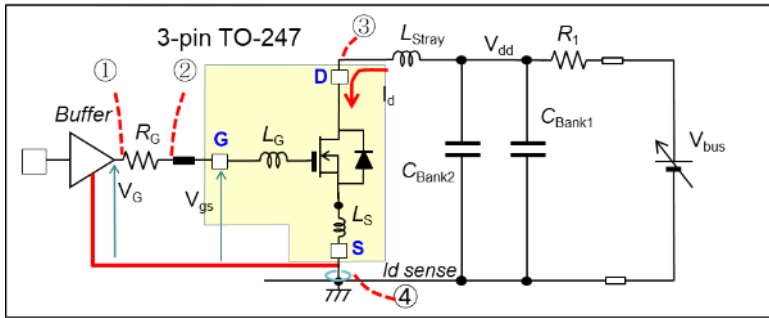


Fig.3-1-1 短絡試験回路

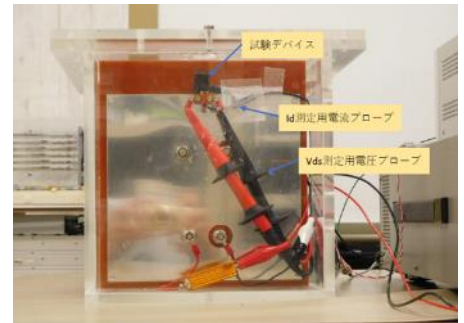


Fig.3-1-4 評価装置部の写真

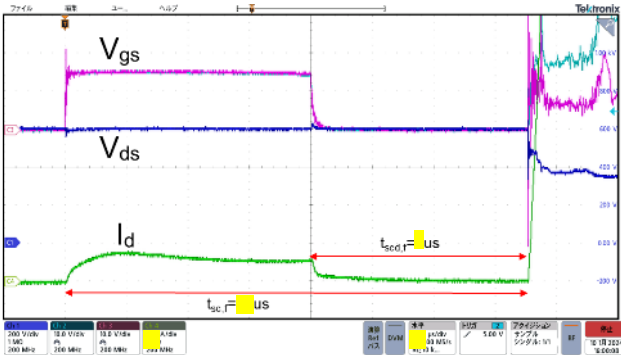


Fig.4-1-2 サンプル#2の電圧および電流波形結果 $V_{ds}=600V$, $V_{gs}=15V/0V$, $t_{on}=10\mu s$.

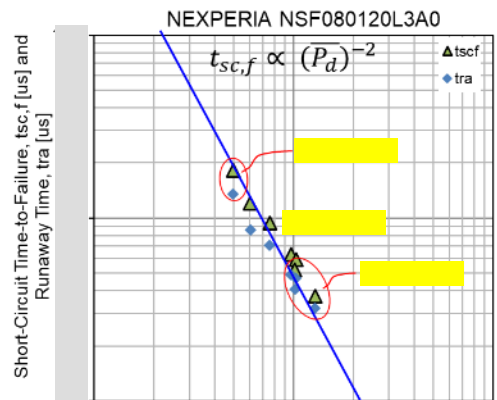
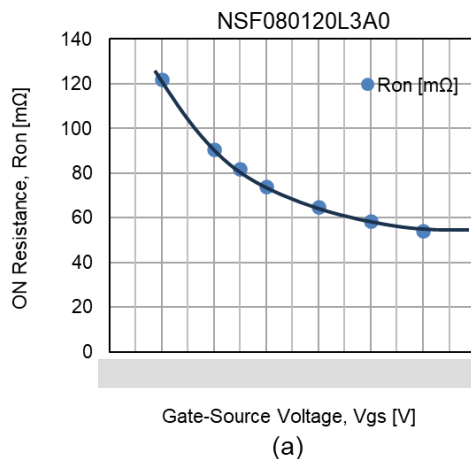
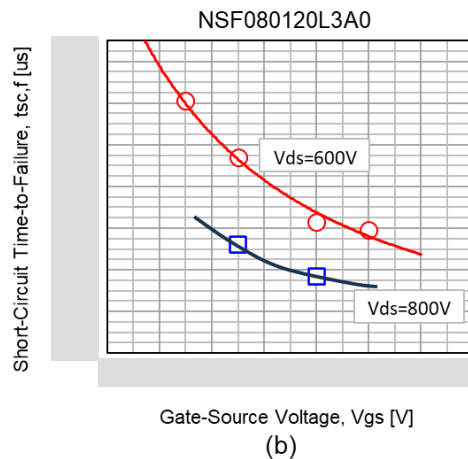


Fig.4-2-6 短絡故障時間 ($t_{sc,f}$) と熱暴走を支配する時間 t_{ra} の消費電力 $P_d = (V_{ds} \times I_d)$ 依存性



Gate-Source Voltage, V_{gs} [V]
(a)



Gate-Source Voltage, V_{gs} [V]
(b)

Fig.4-8-1 (a) オン抵抗(R_{on})、(b) 短絡耐量時間 ($t_{sc,f}$) のゲート・ソース間電圧 V_{gs} への依存性