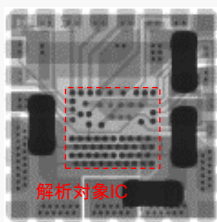
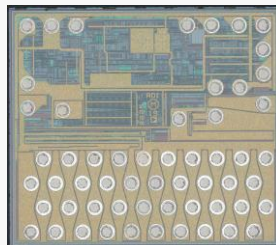


低ノイズスイッチングレギュレーター: Analog Devices製 LT8625SP-1 概要解析レポート、回路解析レポート



Package X-Ray



Chip Overview

概要

Analog Devices社は、低ノイズDC-DCコンバータの最新世代である *Silent Switcher®3* を2023年に発売しました。これらの製品は実効出力ノイズがLDO並みに低く、電源ノイズに敏感なアプリケーションに対して直接電源供給できることが特徴です。

本レポートではチップの全回路解析を実施し、構成している機能の特定や回路構成、およびノイズ対策を始めとしてどのような工夫をおこなっているのかを明らかにしています。

製品特徴

- 製品情報 [Analog Devices LT8625SP-1](#) (2021年11月発表)
- 入力電圧2.7~18V、出力電流8A、変換効率90%、スイッチング周波数300kHz~4MHz、実効出力ノイズ $4\mu V_{RMS}$ (10Hz~100kHz)
- チップ情報 チップサイズ 1.73mm × 1.53mm、積層メタル数 4層

解析内容

【概要解析】、【回路解析】 チップサイズ、チップ写真(トップメタル、Poly層)

【概要解析】 チップ断面観察による層間膜厚およびデザインルールの推定

【概要オプション】 パッケージ内PCBの実装部品接続および各層配線レイアウト

【回路解析】 回路解析、特徴ある機能や工夫についてコメント、各層のチップ写真、端子機能の特定

納品物: レポートPDFと回路図ビューワー、SchematicのCADデータ(EDIFフォーマット)

レポート価格

概要解析: ¥180,000 (税抜)

概要+オプション: ¥420,000 (税抜)

回路解析(フルレポート): ¥4,500,000 (税抜)

発注後 1weekで納品

【回路解析】機能ブロック毎のレポート価格(税抜)

• 出力ドライバ: ¥1,500,000

• エラーアンプを含む入力回路: ¥1,050,000

【概要解析】

Table of Contents

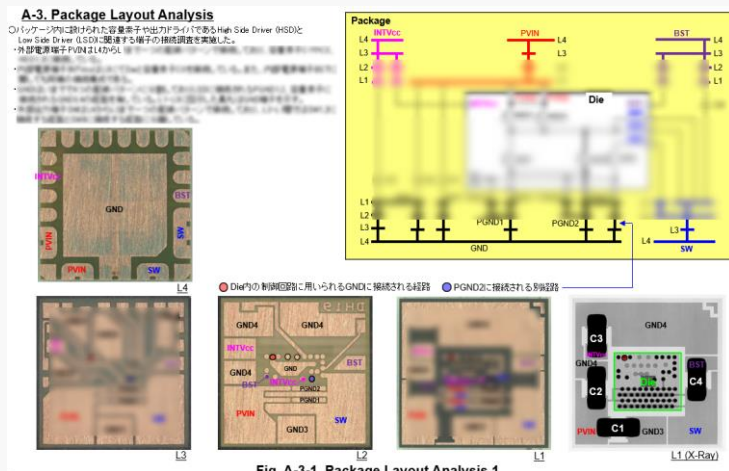
	Page
1. Summary of Analysis Results	4
2. Overview	5
2-1. Device Summary.....	5
2-2. Package.....	6
2-3. Package X-Ray	7
2-4. Die Overview.....	8
3. Cross-section	11

【オプション解析】

[Option Analysis]

A-1. Package Board Layout.....	15
A-2. Pin Assignment.....	24
A-3. Package Layout Analysis.....	25

オプション解析レポートの一部抜粋



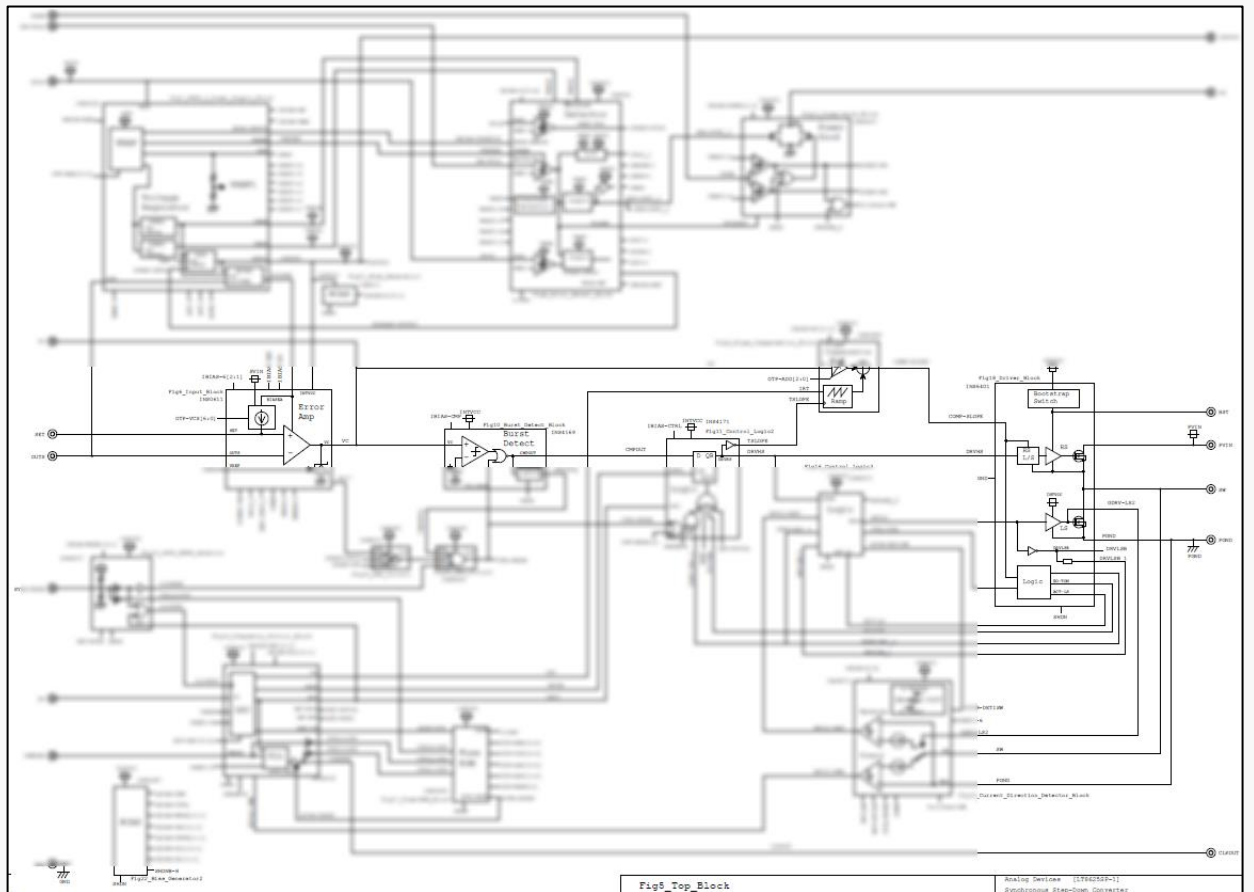
	Page
1 Overview	7
1-1. Device Summary.....	7
1-2. Package.....	8
1-3. Package X-Ray.....	9
1-4. Die Overview	10
1-5. Pin Assignment.....	15
2 Elements	17
2-1. MOS Transistor	17
2-2. Bipolar Transistor	28
2-3. Resistor	31
2-4. Capacitor.....	32
2-5. Diode	35
2-6. Fuse.....	37
2-7. Test pad	38
2-8. Cell Parameters.....	39
3 Analysis Area	40
3-1. Floor plan.....	40
3-2. Guard-ring.....	41
3-3. Switch Transistors.....	42
4 Circuits	43
4-1. Summary	43
4-2. Low-Side Switching Behavior	44
4-3. High-Side Switching Behavior	45
4-4. Analysis Circuit.....	46

回路解析レポートの一部抜粋

4-1. Summary

Table 4-1 Function Summary

Function	Target Circuit	Comment
Error Amp, Current Source for SET, V _c Clamp Circuit	Fig.6	この回路は、エラーアンプ、SET用の電流源、V _c クランプ回路を構成しています。エラーアンプは、制御対象の出力と目標値との差を検出し、それを電圧に変換して出力します。電流源は、SET用の電流を供給するための回路です。V _c クランプ回路は、V _c の電圧を一定に保つための回路です。
VREF & Power Supply	Fig.7	この回路は、VREFと電源供給回路を構成しています。VREFは、制御対象の動作点を設定するための電圧です。電源供給回路は、制御対象に必要な電圧を供給するための回路です。
Error Detect	Fig.8	この回路は、エラー検出回路を構成しています。エラー検出回路は、エラーアンプの出力が一定の範囲を超えたときにエラーを検出するための回路です。
Oscillator, Phase Locked Loop	Fig.14	この回路は、オシレータとフェーズロックループを構成しています。オシレータは、制御対象に必要な周波数の信号を生成するための回路です。フェーズロックループは、オシレータの出力と制御対象の出力との位相を同期させるための回路です。
Fuse ROM (OTP)	Fig.17	この回路は、フュージROM (OTP) を構成しています。フュージROMは、制御対象に必要なパラメータを記憶するための回路です。
Gate Driver	Fig.18	この回路は、ゲートドライバ回路を構成しています。ゲートドライバ回路は、制御対象に必要なゲート電圧を供給するための回路です。



株式会社エルテック Phone: 072-787-7385
664-0845 兵庫県伊丹市東有岡4丁目42-8

e-mail: contact2@ltec.biz
HP: <https://www.ltec-biz.com/>