

SiC MOSFET(650V～1700V): Epi(Drift+Buffer)層調査解析レポート

背景と概要

・ SiC MOSFETの基板内 Epi (Drift) 層は最大動作電圧と耐圧電圧を決定することに加え、縦型トランジスタの表面活性層の結晶欠陥の悪影響を軽減するために、各社独自の構造を採用しています。 SiC基板はまだ標準化されておらず、各SiCデバイスメーカーが独自のレシピでEpi層を用意しており、それぞれのEpi層の構造は異なります。

◆本レポートは、当社での構造解析データを基に、各社のEpi構造をまとめたレポートになります。

- (1) 競合他社が使用しているEpi層/Buffer層構造の種類
- (2) 特許認定用Epi層の詳細
- (3) 包括的な参考文献の概要
- (4) Epi層の製造コストへの影響

解析対象製品

	メーカー	製品	世代	特徴
1	INFINEON	IMBG120R078M2H	Gen 2	特徴N-Bufferプロファイルあり
2	NEXPERIA	NSF080120L3A0		三菱電機製(推定) 特徴は非常に厚いBuffer層を採用
3	Onsemi	NTH4L028N170M1	M1	特徴は2層N-Buffer
4	STMicro	SCT040H65G3AG	Gen 3	特徴は非常に薄いN-Buffer
		SCT040W120G3AG		

レポート内容・結果概要

- ・大手SiCメーカーのBPD (Basal Plane Dislocation: 基底面転位) 対策N-Buffer構造の抽出と比較。
※解析対象製品は上記表を参照
- ・N-Buffer層の厚さは、メーカーによって大きく異なる(0.4 μ mから10 μ m)。
- ・各層のキャリア濃度(N-Buffer層のドーピング濃度など)は、SCM 分析結果より算出。
- ・Epi層のコストは、膜厚が厚いEpi層の場合、生SiC 基板ウェハ(150mm Φ) のコストの120% にも達すると概算される。
- ・N-Buffer層を補足するには、「スクリーニング」テストが必要であると考えられる。

※本レポートの目次、レポートの一部抜粋を次ページ以降に記載しています。

レポート価格

価格: ¥900,000 (税別)

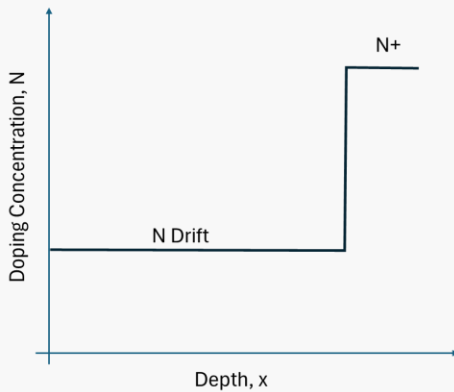
発注後1weekで納品

レポートからの抜粋（１）

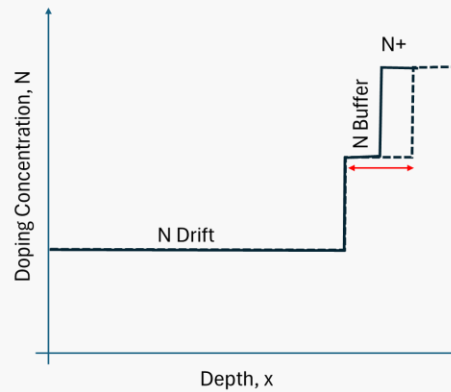
【目 次】		Page
1	エグゼクティブサマリー解析結果のまとめ	...
1-1	解析結果のまとめ	3
1-2	はじめに: 本調査の背景と目的	...
1-2	はじめに: 本調査の背景と目的	4
1-3	Epi (Drift) 層のエンジニアリング	...
1-3	Epi (Drift) 層のエンジニアリング	5
	表1: 本レポートの解析対象製品および評価結果概要	...
	表1: 本レポートの解析対象製品および評価結果概要	6
2	SiC MOSFET Epi層構造調査	...
2	SiC MOSFET Epi層構造調査	7
2-1	SiC Epi層構造概要	...
2-1	SiC Epi層構造概要	8
	表2-1-1: SiC MOSFET構造チップとEpi層比較	...
	表2-1-1: SiC MOSFET構造チップとEpi層比較	9
	表2-1-2: SiC MOSFETのEpi層構造の特徴	...
	表2-1-2: SiC MOSFETのEpi層構造の特徴	10
	表2-1-3: SiCデバイスウェハ+Epi層費用概算	...
	表2-1-3: SiCデバイスウェハ+Epi層費用概算	11
3	SiC MOSFET Epi層構造SCM分析	...
3	SiC MOSFET Epi層構造SCM分析	12
3-1	INFINEON IMBG120R078M2H :SCM / SMM分析結果	...
3-1	INFINEON IMBG120R078M2H :SCM / SMM分析結果	13
3-2	NEXPERIA NSF080120L3A0: SCM / SMM分析結果	...
3-2	NEXPERIA NSF080120L3A0: SCM / SMM分析結果	15
3-3	Onsemi NTH4L028N170M1: SCM / SMM分析結果	...
3-3	Onsemi NTH4L028N170M1: SCM / SMM分析結果	17
3-4	STMicroelectronics SCT040W120G3AG: SCM分析結果	...
3-4	STMicroelectronics SCT040W120G3AG: SCM分析結果	19
3-5	STMicroelectronics SCT040H65G3AG: SCM分析結果	...
3-5	STMicroelectronics SCT040H65G3AG: SCM分析結果	21
4	解析結果のまとめ	...
4	解析結果のまとめ	23
5	関連参考資料	...
5	関連参考資料	24
6	Appendix: SiCパワーデバイスとウェハ結晶欠陥関連文献調査	...
6	Appendix: SiCパワーデバイスとウェハ結晶欠陥関連文献調査	25-42

レポートからの抜粋 (2)

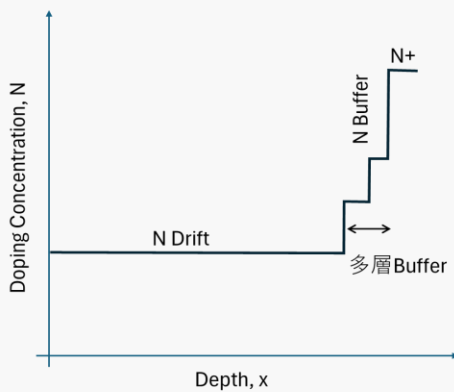
Epi (Drift) 層のエンジニアリング



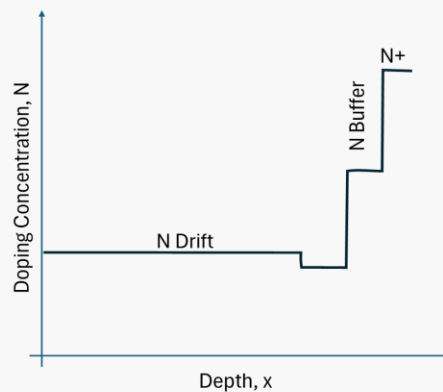
(a) Epi without N-buffer



(b) Conventional single N-buffer



(c) Multi-layer N-buffer-1



(d) Multi-layer N-buffer-2

SiC パワーデバイスの SiC Epi (Driftおよび N-Buffer) 層のドーピング プロファイル例

レポートからの抜粋 (3)

表2-1-1: SiC MOSFET 構造チップとEpi層比較

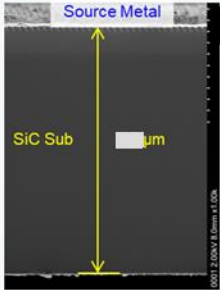
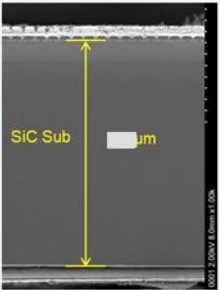
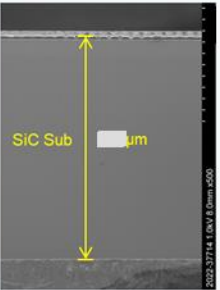
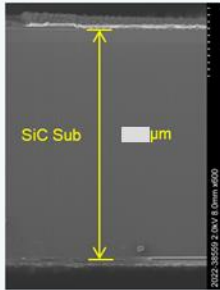
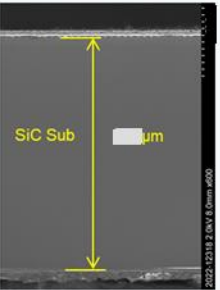
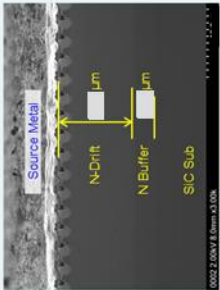
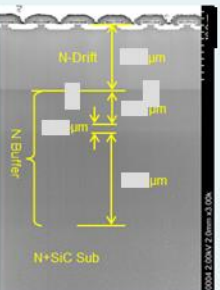
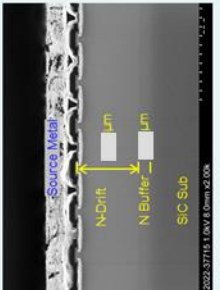
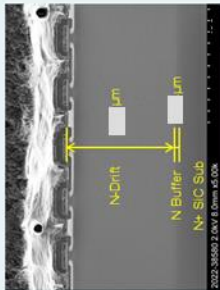
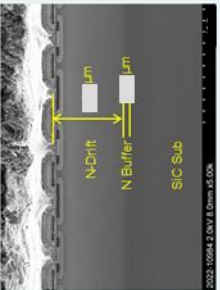
	Infineon IMBG120R078M2H	NEXPERIA NSF080120L3A0	Onsemi NTH4L028N170M1	STMicro SCT040W120G3AG	STMicro SCT040H65G3AG
V _{dss}	1200 V	1200 V	1700 V	1200 V	650 V
Die Thickness					
Epi Layer					

表2-1-2: SiC MOSFETのEpi層構造の特徴

		INFINEON Gen 2 CoolSiC	NEXPERIA	onsemi M1	STMICRO Gen 3	STMICRO Gen 3
Product		IMBG120R078M2H	NSF080120L3A0	NTH4L028N170M1	SCT040W120G3AG	SCT040H65G3AG
Device: Diode/Transistor ?		MOSFET	MOSFET	MOSFET	MOSFET	MOSFET
V _{dss}	V	1200	1200	1700	1200	650
R _{on}	mΩ	78.1	80	28	40	40
Transistor structure		Asymm. Trench	Planar Gate	Planar Gate	Planar Gate	Planar Gate
Die thickness	μm					
N drift thickness, X _d	μm					
N Buffer-1 thickness, X _{b1}	μm					
N Buffer-2 thickness, X _{b2}	μm					
N Buffer-3 thickness, X _{b3}	μm					
N drift不純物濃度プロファイル, Nd	at/cm ³					
N Buffer-1不純物濃度プロファイル, Nb1	at/cm ³					
N Buffer-2不純物濃度プロファイル, Nb2	at/cm ³					
N Buffer-3不純物濃度プロファイル, Nb3	at/cm ³					
N+基板 不純物濃度	at/cm ³					
※ 特徴						
R _{onA}	mΩ・mm ²					
RepiAA	mΩ・mm ²					
BV _{dss}	V					
I _{dss} (175°C, 1200V)						

レポートからの抜粋 (4)

SCMデータの例

Maker D

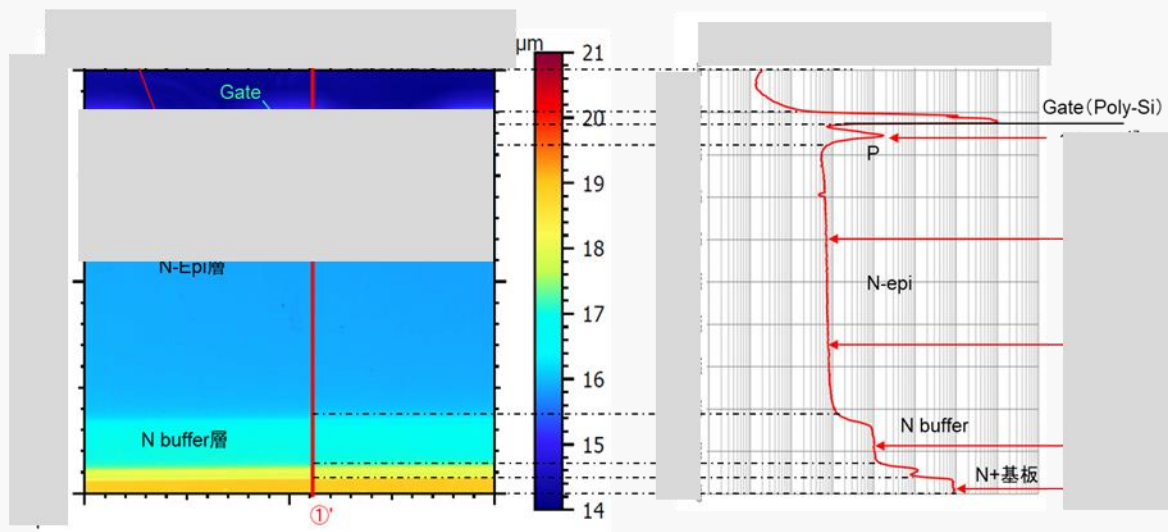


Fig. 4-2-3 ラインプロファイル①とSMM像の位置合わせ

4-2. SCMライン分析結果

Maker E

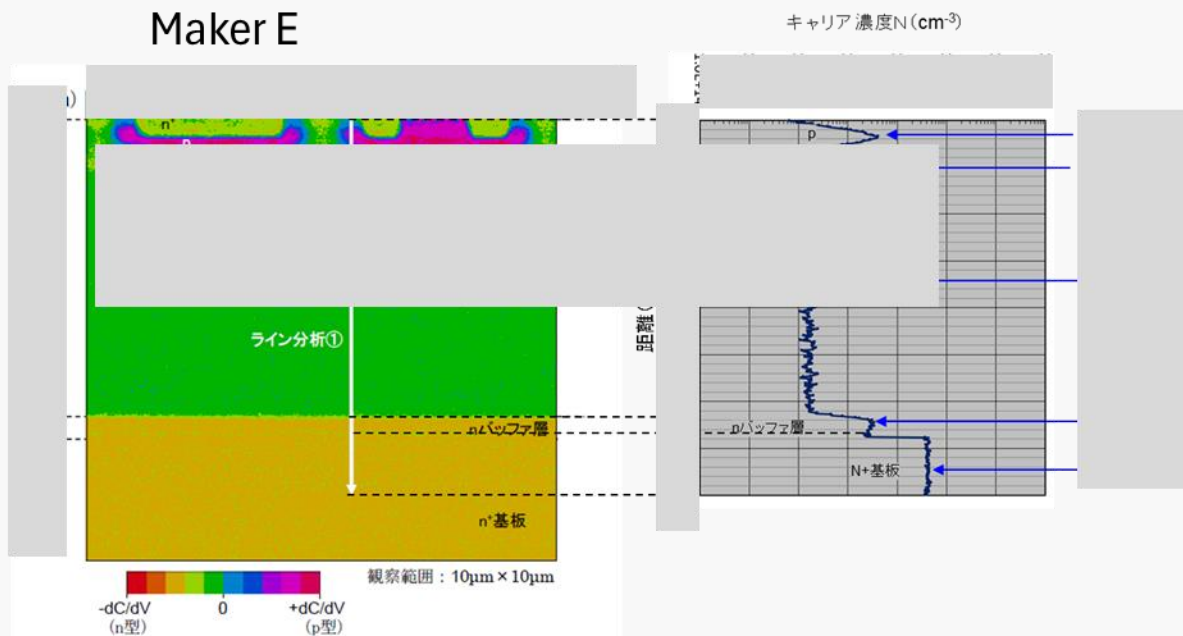


Fig. 4-2-3 SCM像とラインプロファイル①の位置合わせ