

## SiC MOSFET (1200V): Navitas (GeneSiC) G3F34MT12K 概要、構造、プロセス・電気特性解析レポート



TO-247-4 パッケージ



SiC MOSFETチップ

### 概要

2024年6月、Navitas (GeneSiC: 2022年にNavitasが買収)は、新しい第3世代「高速G3F」MOSFET 650Vおよび1200Vファミリーを発表しました。G3Fの特徴として、構造面では独自の「トレンチアシストプレーナ」技術を採用、性能面では、優れた堅牢性(30%長い短絡耐量を実現)や最大600kHzのスイッチング速度が挙げられます。今回、この新しい第3世代1200V SiC MOSFETについて、過去に当社で解析したG3R品との比較を含め、デバイス構造の特徴を明らかにした概要、構造、プロセス・電気特性解析レポートをリリースしました(※1)。

(※1)リリースした2つのレポートの内容の違いにつきましては、P.3を参照ください。

### 製品特徴

型番: G3F34MT12K V<sub>dss</sub>=1200V、63A、34mΩ 製品リリース日: 2024年8月

Datasheet: [https://navitassemi.com/wp-content/plugins/gb-navitas-stock-checker/product\\_files/G3F34MT12K.pdf](https://navitassemi.com/wp-content/plugins/gb-navitas-stock-checker/product_files/G3F34MT12K.pdf)

- ・自動車AEC-Q101認定
- ・アプリケーション: AIデータセンターの電源, xEV OBC&DC-DC, エネルギー貯蔵システムなど

### 解析結果(各レポートの解析内容はP.2,4,6を参照)

- ①概要解析レポート: 価格 ¥300,000 (税別) 発注後1weekで納品
- ②構造解析レポート: 価格 ¥850,000 (税別) 発注後1weekで納品
- ③プロセス・電気特性解析レポート: 価格 ¥750,000 (税別) 発注後1weekで納品

- ・本製品とNavitas製1200V SiC G3Rを比較した結果、本製品はG3Rより約15%低いRon<sub>xAA</sub>を達成しています。

### 短絡耐量評価レポート(企画中): 価格はエルテックまでお問い合わせ下さい。

- ・短絡耐量試験測定結果。
- ・G3Rとの比較を行ない、30%長い短絡耐量について明らかにする。

(※2) G3Rの構造解析レポート(21G-0018-1)につきましても、お問い合わせ下さい。

# ①概要解析レポート 目次

【目次】		Page
1	デバイスサマリー	
	Table1-1:デバイスサマリー	...
	Table1-1:デバイスサマリー	4
1-1.	解析結果まとめ	...
	Table1-2: デバイス構造:SiC MOSFET	...
	Table1-2: デバイス構造:SiC MOSFET	5
	Table1-3: デバイス構造:レイヤー材料・膜厚	...
	Table1-3: デバイス構造:レイヤー材料・膜厚	6
2	パッケージ解析	
2-1.	外観観察	...
	外観観察	8
3	SiC MOSFETチップ構造解析	
3-1.	平面構造解析(OM)	...
	平面構造解析(OM)	10
3-2.	セル部 断面構造解析	...
	セル部 断面構造解析	11
3-3.	外周部 断面構造解析	...
	外周部 断面構造解析	12
4	Navitas製Gen3 1200V SiC MOSFET(G3R75MT12K)との比較	...
	Navitas製Gen3 1200V SiC MOSFET(G3R75MT12K)との比較	14
5	Appendix: About Trench Assist Planar Technology	...
	Appendix: About Trench Assist Planar Technology	16

# ①概要解析レポートからの抜粋

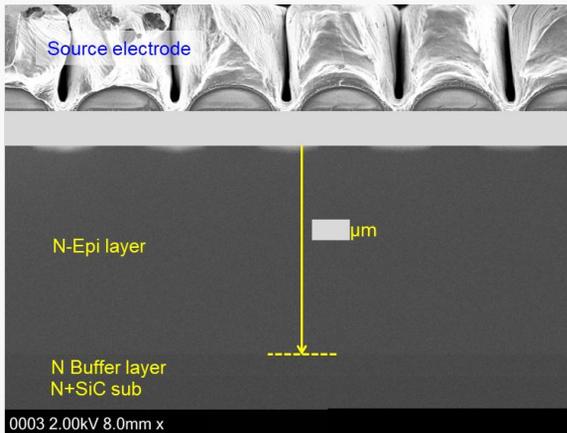
概要、構造解析の目的は主に以下の3つです。

- 1)本製品の構造を明らかにする。
- 2)本製品と当社で過去に解析した同社製第三世代品(G3R)との構造の違いを知るため、比較を行う。
- 3)本製品で使用されている「トレンチアシストプレーナ」技術の詳細や背景・利点を明らかにするため、関連特許の調査を行う。

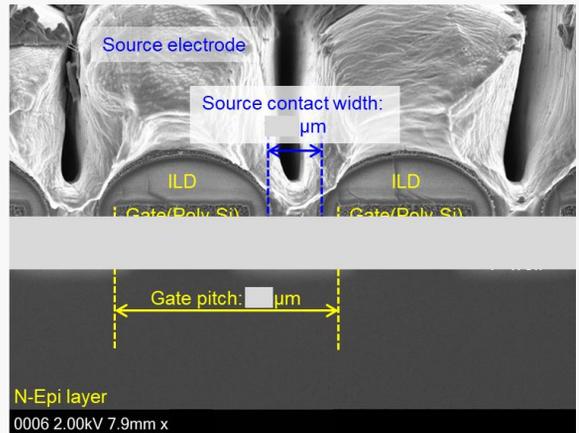
概要解析レポートと構造解析レポートは上記1)~3)について内容が異なります(下記表を参照。)

	概要解析レポート内容 (24R-0694-1)	構造解析レポート内容 (24R-0694-2)
1)	<ul style="list-style-type: none"> <li>・チップ観察</li> <li>・パッケージ観察</li> <li>・SiC MOSFET断面解析: エピ層、セル部、チップ外周部(SEM)</li> </ul>	左の内容に加え、下記を行います。 <ul style="list-style-type: none"> <li>・パッケージ断面解析</li> <li>・SiC MOSFET平面解析: 配線接続、レイアウト確認</li> </ul>
2)	<ul style="list-style-type: none"> <li>・G3Rとのチップサイズ、RonAAの比較</li> </ul>	<ul style="list-style-type: none"> <li>・左の内容に加え、G3Rとのセル断面構造、チップ外周部構造の比較を行います。</li> </ul>
3)	<ul style="list-style-type: none"> <li>・関連特許の調査はせず、概要や図面の紹介をしています。</li> </ul>	<ul style="list-style-type: none"> <li>・関連特許の概要や図面の紹介をしつつ調査を行います。</li> </ul>

## 概要解析レポートと構造解析レポート(24G-0694-2)の内容の違い



Epi層 断面SEM像



セル部 断面SEM像

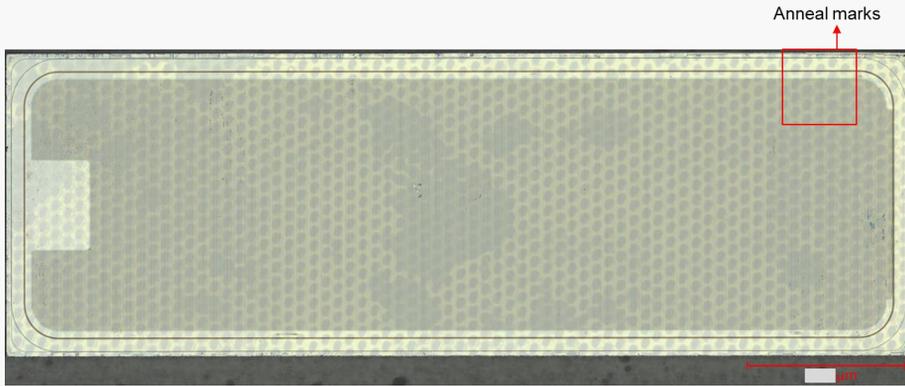
		G3R75MT12K	G3F34MT12K
ON resistance: RON	(mΩ) / Vgs (V)	75 / 15	34 / 18
ON resistance per unit area RONxAA	mΩ · mm <sup>2</sup>		
Die size	mm x mm = mm <sup>2</sup>		
Transistor active area AA	mm <sup>2</sup>		
Cell source - source pitch, P	μm		

## G3Rとの比較(チップサイズなど)

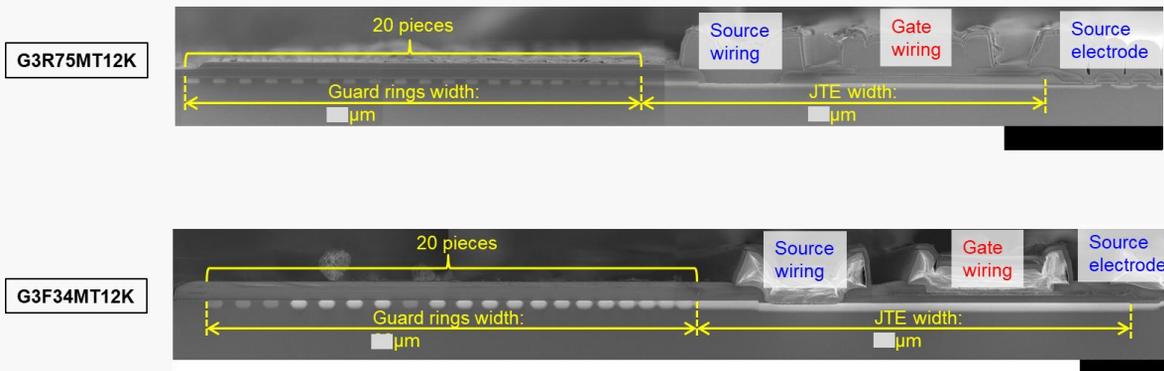
## ②構造解析レポート 目次

【目次】	Page
1 デバイスサマリー	
Table1-1: デバイスサマリー	… 3
1-1. 解析結果まとめ	… 4
Table1-2: デバイス構造: SiC MOSFET	… 5
Table1-3: デバイス構造: レイヤー材料・膜厚	… 6
2 パッケージ解析	
2-1. 外観観察	… 8-9
2-2. 内部レイアウト観察	… 10
3 SiC MOSFETチップ構造解析	
3-1. 平面構造解析(OM)	… 12-27
3-2. 平面構造解析(SEM)	… 28-33
3-3. セル部 断面構造解析	… 34-43
3-4. 外周部 断面構造解析	… 44-52
4 SCM分析 (セル部)	… 53-56
5 SiC MOSFETチップ裏面構造解析 (アニール痕の解析)	… 57-59
6 Navitas製 Gen3 1200V SiC MOSFET(G3R75MT12K)との比較	… 60-64
7 Appendix: About Trench Assist Planar Technology	… 65-67

## ②構造解析レポートからの抜粋



SiC MOSFETチップ (SiC基板レイヤ)



G3Rとの比較 (チップ外周部構造)

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)  
 (19) World Intellectual Property Organization  
 International Bureau  
 (43) International Publication Date  
 03 March 2022 (03.03.2022)

WIPO | PCT

(10) International Publication Number  
**WO 2022/047349 A2**

(51) International Patent Classification:  
 H01L 29/12 (2006.01)

(21) International Application Number:  
 PCT/US2021/048324

(22) International Filing Date:  
 31 August 2021 (31.08.2021)

(25) Filing Language: English  
 (26) Publication Language: English

(30) Priority Data:  
 63/072,473 31 August 2020 (31.08.2020) US

(71) Applicant: GENESIC SEMICONDUCTOR INC.  
 [US/US]; 43670 Trade Center Place, Ste. 155, Dulles, Virginia 20166 (US).

Declarations under Rule 4.17:  
 — of inventorship (Rule 4.17(iv))

Published:  
 — without international search report and to be republished upon receipt of that report (Rule 48.2(g))

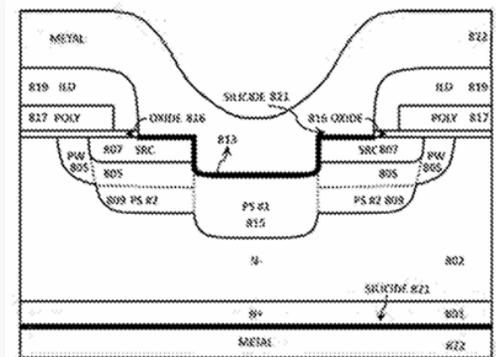


FIG. 8BB

### トレンチアシストプレーナ技術関連特許(WO2022047349A2)

#### 概要・図面



株式会社エルテック Phone: 072-787-7385  
 664-0845 兵庫県伊丹市東有岡4丁目4-2-8

e-mail: contact2@ltec.biz  
 HP: <https://www.ltec-biz.com/>

# ③プロセス・電気特性解析レポート 目次

目次		Page
1	GeneSiC 3rd Gen SiC-MOSFET G3F34MT12K: 解析結果まとめ .....	3
1.1	Table 1-1: GeneSiC 第3世代品と他社製SiC MOSFETsとの特性比較.....	4
1.2	SiC-MOSFETチップ .....	5
1-3	トランジスタアレーとチップ端部構成 .....	6
1-4	SiC MOSFETセル構造 .....	7
	トランジスタの断面模式図 .....	7
2	SiC MOSFET 観察 .....	8
2-1	構造解析(SEM) .....	9
	トランジスタ構造とプロセス特徴 (1)-(6) .....	9-14
2-2	チャンネル長Lchを決定するためのN+およびPウェル形成プロセスの自己整合の詳細 チャンネル形成プロセスの詳細(推定) .....	15 15
2-4	SiC MOSFET構成, レイアウト層とアラメントツリー .....	16
3	GeneSiC's SiC MOSFET G3F34MT12K解析結果の概要.....	17
	Table 3-1:デバイス構造: SiC MOSFET.....	18
	Table 3-2:デバイス構造: レイヤー材料・膜厚.....	19
4	製造プロセスフロー解析.....	19
4-1	SiCMOSFETのフロントエンドウェーハプロセスフロー(推定) .....	20
4-2	SiC MOSFETのプロセス・シーケンス断面図.....	21-24
5	デバイス構造と電気特性解析.....	25
5-1	Id-Vds 特性 .....	26
5-2	デバイス温度をパラメータとしたオフ状態のドレイン電流(Idss)対ドレイン電圧(Vds)と 活性化エネルギー(Ea) .....	27
5-3	オフ状態破壊電圧BVdss特性.....	28
5-4	OFF状態ドレインリーク電流特性の比較.....	29
5-5	ゲートリーク電流I <sub>gss</sub> 特性.....	30
5-6	ボディダイオード特性.....	31
5-7	容量(C <sub>iss</sub> , C <sub>oss</sub> , C <sub>rss</sub> )-Vds特性.....	32
5-8	デバイス構造と電気特性解析:ON抵抗成分解析.....	33-35
5-9	N-エピ層不純物濃度解析.....	36
5-10	デバイス構造と電気特性解析: ブレークダウン電圧 .....	37
6	関連文献目録.....	38
7	関連特許目録.....	38-41

# ③プロセス・電気特性解析レポートからの抜粋

Table 1 : GeneSiC 1200V SiC MOSFET Comparison

Maker	Part no.	Process Gen.	Production	Die Size		Vdss [V]	RON [mΩ]	Intrinsic RONxA [mΩ・mm <sup>2</sup> ]
				mmxmm	mm2			
ROHM	SCT3080KL	Gen 3	2016	3.01 x 2.41	7.25	1200	80	408
CREE	C2M0080120D	Gen 2	2013					
WOLFSPEED (CREE)	C3M0075120K	Gen 3	2017					
INFINEON	FF11MR12W1M1_B1	Gen 1	2017					
STMicro	SCT040N120G3AG	Gen 3	2022					
Onsemi	NTH4L040N120M3S	Gen 3	2022					
GeneSiC	G3R75MT12K	Gen 3	2020					
GeneSiC	G3F34MT12K	Gen 3	2024					

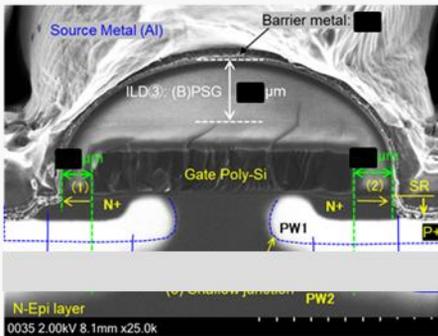
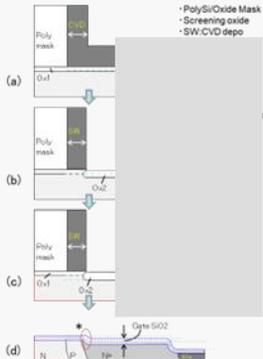


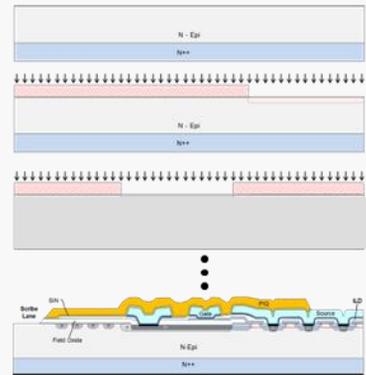
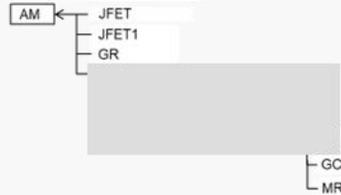
Fig. 2-1-1 Transistor cell cross-sectional SEM image

- 1) CO-to-GP (Gate PolySi) misalignment.
- 2)
- 3)
- 4)
- 5)
- 6)
- 7) mechanical strain during high temperature excursions (Short-Circuit) conditions.

NAVITAS-GenesiC SiC MOSFET G3F プロセスフローシーケンス



Possible Alignment Tree:



Details of the side-wall screening oxidation process (a,b,c) and the final gate oxidation (d) are shown. The final gate oxidation is uniform due to (i) and (ii) oxide growth rate is constant in the N+.

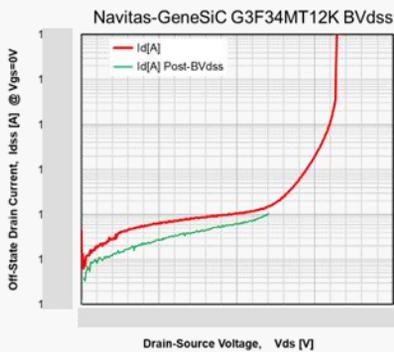


Fig.5-3-1 オフ状態破壊電圧BVdss

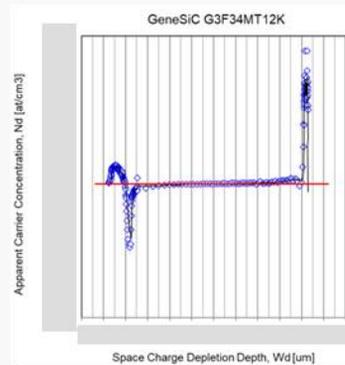


Fig.5-9-1(a) 深さ方向のキャリアドーピングプロファイル

