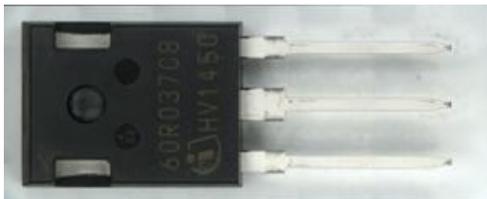
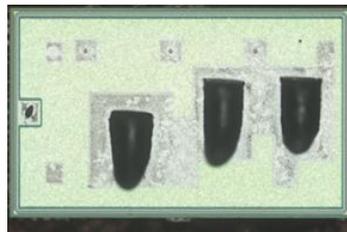


Si SJ MOSFET (600V) : Infineon CoolMOS C8世代 IPW60R037CM8 構造解析レポート



パッケージ



Si MOSFET (チップ)

レポート概要

600~650V のパワーMOSFETは、幅広い産業用アプリケーションをカバーするデバイスとして注目されており、各社Si、化合物など、多種多様のラインナップが存在します。

Infineonは、SiC MOSFETやGaN FETとコスト競争力の高いSiのSuper Junction MOSFET構造を採用した、CoolMOSを販売しており、2013年にC7世代、2024年にはC8世代が発売されています。今回、このC8世代の構造解析を行い、その特徴を明らかにする解析レポートをリリースしました。

製品特徴

型番：IPW60R037CM8 $V_{DS} = 600V$ 、 $I_D = 64A$ 、 $R_{DS(ON)} = 31m\Omega$ 製品リリース日：2024年

データシート： [Infineon CoolMOS C8世代 IPW60R037CM8](#)

- ・ C8世代の単位面積当たりのオン抵抗は、C7世代の約49%
- ・ アプリケーション：サーバー、EV充電、太陽光発電、無停電電源装置(UPS)、住居用エアコンPFC他

解析内容 レポート価格

1) 構造解析レポート 価格 ¥600,000 (税別)

- ・ 本製品の単位面積当たりのオン抵抗 (R_{onxA}) は $499m\Omega \cdot mm^2$ を達成しており、競合他社 (TOSHIBA, STMicro) と比較しても半分以下になります。
- ・ 解析結果より特徴的な平面レイアウト、セルピッチの縮小、Si基板の薄膜化を確認しています。

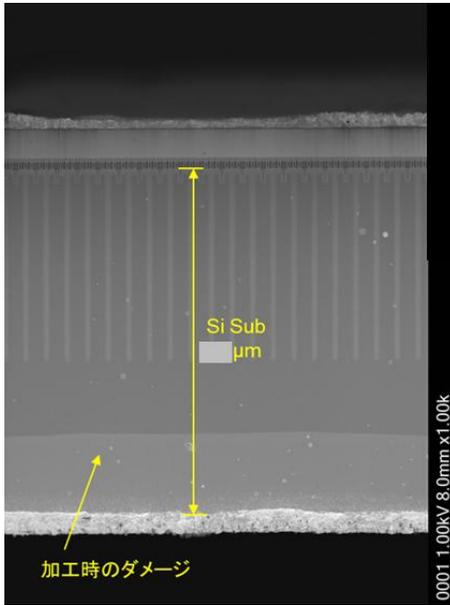
オプション① 比較レポート(企画中)： 予定価格 ¥300,000 (税別)

- ・ C7世代 IPW60R040C7との比較
- ・ データシート及び構造解析結果から650V SiC MOSFET、GaNとスペックを比較 (P.4参照)

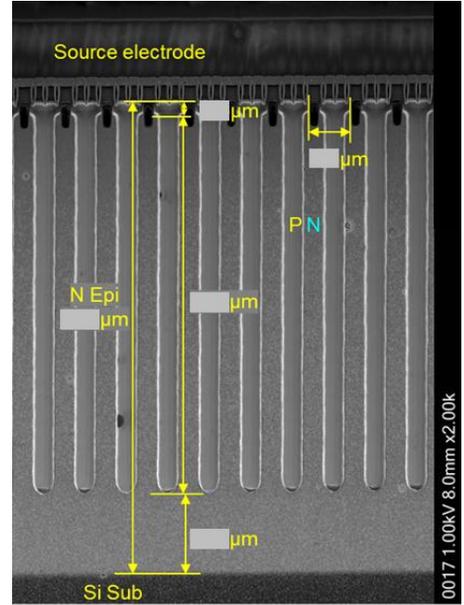
オプション② SCM分析(企画中)： 予定価格 ¥500,000 (税別)

- ・ Super Junction構造のSCM分析 (分析箇所は別途ご相談の上決定)

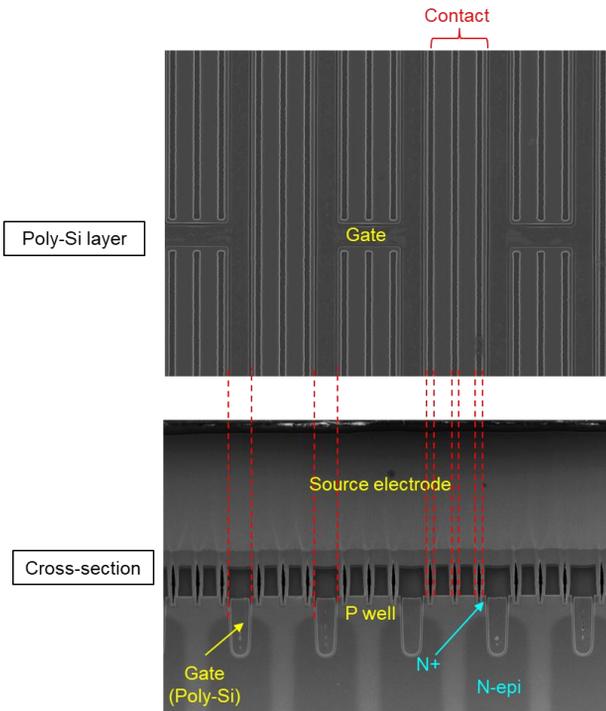
【目次】		Page
1	デバイスサマリー	
	Table 1: デバイスサマリー	... 3
1-1.	解析結果まとめ	... 4
	Table1-2: Device structure: Si MOSFET	... 5
	Table1-3: Device structure: Layer materials and thicknesses	... 6
2	パッケージ観察	
2-1.	パッケージ外観	... 8-9
2-2.	内部レイアウト	... 10
3	Si SJMOSチップ構造解析	
3-1.	平面構造解析(OM)	... 12-25
3-2.	平面構造解析(SEM)	... 26-33
3-3.	セル部 断面構造解析	... 34-46
3-4.	外周部 断面構造解析	... 47-64
3-5.	Gate Pad部 断面構造解析	... 65-66
3-6.	Gate contact部 断面構造解析	... 67-68



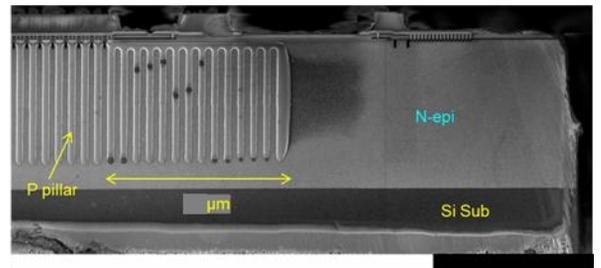
チップ厚 断面SEM像



セル部 断面SEM像



セル平面構造と断面構造の位置合わせ

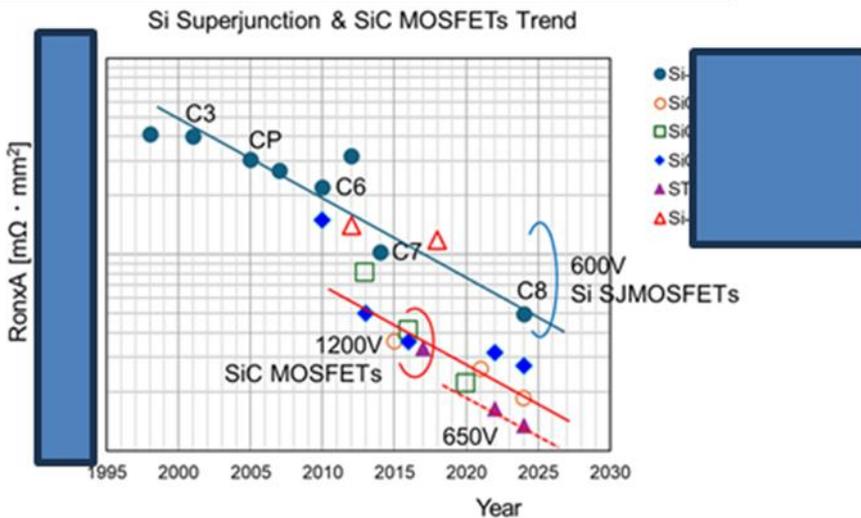


外周部 断面SEM像

オプション① 比較レポート(企画中)

・ データシート及び構造解析結果から650V SiC MOSFET、GaNとスペックを比較

	GaN	GaN	GaN	SiC	Si	Si	Si
	INNOSCIENCE	ROHM		Infineon	Infineon	Infineon	Infineon
Part No./Name	INN650D140A	GNP1150TCA-Z	GNP1070TC-Z	IMLT65R040M2H	IPP65R225C7	IPW60R040C7	IPW60R037CM8
Process/Technology/ Generation				CoolSiC G2	CoolMOS C7	CoolMOS C7	CoolMOS C8
Fab		TSMC	TSMC	INFINEON	INFINEON	INFINEON	INFINEON
Configuration	Single Tr	Single Tr	Single Tr	Single Tr	Single chip Tr	Single chip Tr	Single chip Tr
Package	DFN 8 x 8	DFN 8 x 8	DFN 8 x 8	HDSOP-16	TO-220	TO-247	TO-247
Package size	8 x 8	8 x 8x 0.9	8 x 8x 0.9				
Transistor Semiconductor	GaN	GaN	GaN	SiC	Si MOSFET	Si MOSFET	Si MOSFET
FET	Normally-OFF	Normally-OFF	Normally-OFF	Normally-OFF	Normally-Off	Normally-Off	Normally-Off
FET Structure/Substrates	GaN-On-Si	GaN-On-Si	GaN-On-Si	SiC MOSFET	SJMOS/Si	SJMOS/Si	SJMOS/Si
FOM: Ronx A							
Vdss							
DC Id @ Tc=25°C MAX							
DC Id @ Tc=100°C							
Transistor Vth							
RON @ 25°C							
RON @ Tjmax (150°C)							
RON,max @ Tjmax							
Tjmax							
Ptot,max							
Rth,jc (max)							
Zth,jc @ t=10us							
Rth,jc-A							
Qg, Total Gate Charge							
Qgd, Gate to Drain Charge							
Qg*Ron							
Qgd*Ron							
Ciss							
Ciss*Ron							
Coss							
Coss/A							
Coss*Ron							
Eoss @ Vds=500V							
Eoss*Ron							



RonxA対年間トレンドグラフ