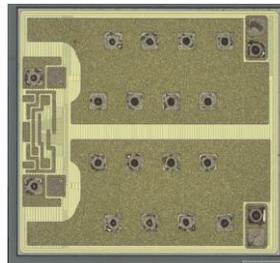


## GaN FET (650V) : Infineon CoolGaN Bidirectional switch G5 IGLT65R055B2 GaNFET構造解析レポート



パッケージ写真 (表)



GaN FET 写真

### レポート概要

GaNデバイスは、EV市場における電力効率の飛躍的向上、小型化、高電力密度化を実現するキーテクノロジーとして注目を集めています。中でも650V耐圧GaNは、中電圧パワーエレクトロニクスの中核を担うデバイスとして、今後さらなる需要拡大が見込まれており、次世代電源アーキテクチャの要素技術として注目されているのが双方向GaNデバイスです。

2025年にはNavitasが世界初となる650V双方向GaNの量産化、続いてInfineonも参入、同社の双方向GaNは、「世界初のモノシリック構造による双方向スイッチ」として、4つのディスクリートMOSFETを必要としていた双方向の電圧・電流制御を、単一デバイスで実現することで、回路構成の大幅な簡素化、小型化、さらにはコスト削減を可能にします。

本レポートでは、このInfineon製双方向GaNデバイスの構造、搭載回路について解析しています。

### 製品特徴

型番： IGLT65R055B2  $V_{SS}=650V$ ,  $R_{DS(on)}=55m\Omega$  製品リリース日：2025年5月

データシート：[CoolGaN BDS 650V G5 IGLT65R055B2](#)

- ・850Vサージ耐性を備えた650V CoolGaN™テクノロジー
- ・同社のゲート注入トランジスタ (GIT) 技術を採用
- ・基板端子を持ち、絶縁された独立制御が可能な2つの分離ゲート構造
- ・アプリケーション：太陽光発電用マイクロインバータ(Enphase社の製品に採用)、車載充電器 (OBC)、トラクションインバーター、AIサーバー

### 解析内容&レポート価格

#### ① GaN FET構造解析レポート： 価格 ¥900,000 (税別) 発注後1weekで納品

- ・ゲート電極パッドの下部にはESD保護が形成されています。
- ・Si基板(Sub端子)は、基板電位制御回路によって、S1端子かS2端子の低電位側に接続されます。
- ・Si基板とサーマルパッドはダイアタッチ、裏面電極を介して電氣的に接続されます。

#### ② パッケージ構造解析レポート

#### ③ GaN エピ層構造解析(TEM, EDX)

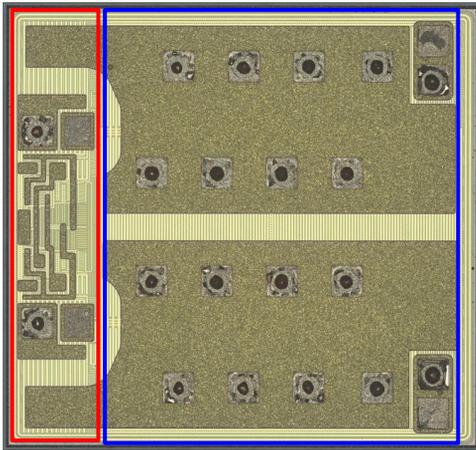
※ ②、③のレポートは企画中です。

価格、納期につきましては、エルテックまでお問い合わせください。

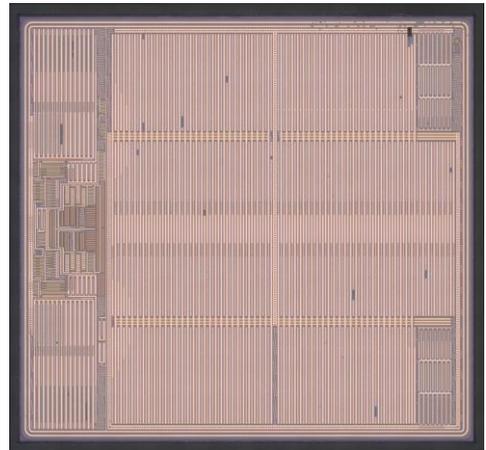
【目次】		Page
1	デバイスサマリー	
1-1.	背景と解析結果	… 3
1-2.	Infineon GaNトランジスタの構造図と動作原理について	… 4
1-3.	Infineon GaNシングルチップ双方向スイッチ(BDS)トランジスタの構造と動作原理	… 5
1-4.	デバイスサマリー	… 6
2	構造解析概要	
2-1.	解析結果まとめ	… 8
	Table. 2-1-1: デバイス構造 (GaNチップ)	… 9
	Table. 2-1-2: デバイス構造: レイヤー材料・膜厚 (GaNチップ)	… 10
3	パッケージ解析	
3-1.	外見観察	… 12
3-2.	X線観察	… 13
3-3.	ピン配置	… 14
4	構造解析	
4-1.	平面構造解析	… 16-30
4-2.	断面構造解析	
	4-2-1. 双方向トランジスタ部_断面構造解析	… 32-40
	4-2-2. チップ終端部_断面構造解析	… 41-44
	4-2-3. ノーマリーオントランジスタおよび抵抗部_断面構造解析	… 45-51
5	回路解析	
5-1.	基板電位制御回路	… 53-58
5-2.	Elements	
	5-2-1. GaN Transistor	… 59-60
	5-2-2. Resistor	… 61
	5-2-3. Diode	… 62
5-3.	Analysis Area	… 63
5-4.	Circuit	… 64
6	同社製650V CoolGaNとの比較	… 66-68
7	参考文献	… 70

GaN FET構造解析レポートからの抜粋

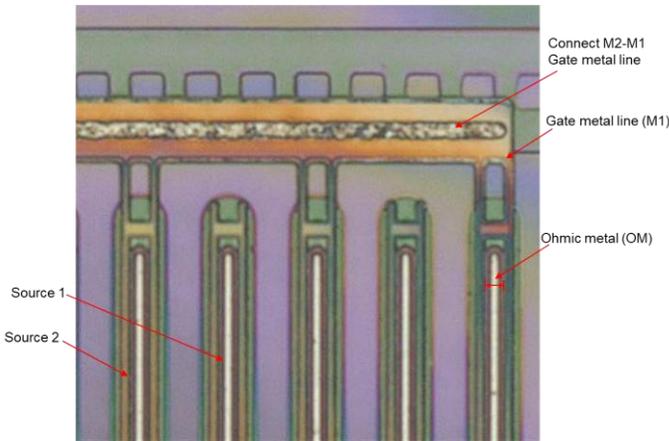
基板制御回路 双方向トランジスタ



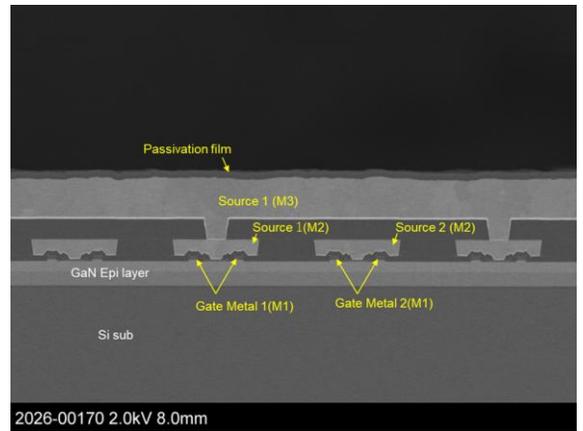
Die image (Top Metal layer)



Die image (M2 layer)



Transistor Cell array (M1 + ohmic metal layer)



Cross-sectional SEM image of transistor cell array

